



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월06일  
(11) 등록번호 10-2506447  
(24) 등록일자 2023년02월28일

(51) 국제특허분류(Int. Cl.)  
G11C 13/00 (2006.01)  
(52) CPC특허분류  
G11C 13/004 (2013.01)  
G11C 13/003 (2013.01)  
(21) 출원번호 10-2018-0045743  
(22) 출원일자 2018년04월19일  
심사청구일자 2021년04월19일  
(65) 공개번호 10-2019-0122070  
(43) 공개일자 2019년10월29일  
(56) 선행기술조사문헌  
KR1020090009458 A\*  
US20140334216 A1\*  
US20140344201 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
포항공과대학교 산학협력단  
경상북도 포항시 남구 청암로 77 (지곡동)  
(72) 발명자  
이재호  
서울특별시 강남구 개포로109길 9, 217동 302호  
(개포동, 대치아파트)  
심재윤  
경상북도 포항시 남구 지곡로 155, 8동 501호(지곡동, 교수아파트)  
이경준  
경상북도 포항시 남구 지곡로127번길 50, LG연구동 (지곡동)  
(74) 대리인  
리엔목록특허법인

전체 청구항 수 : 총 14 항

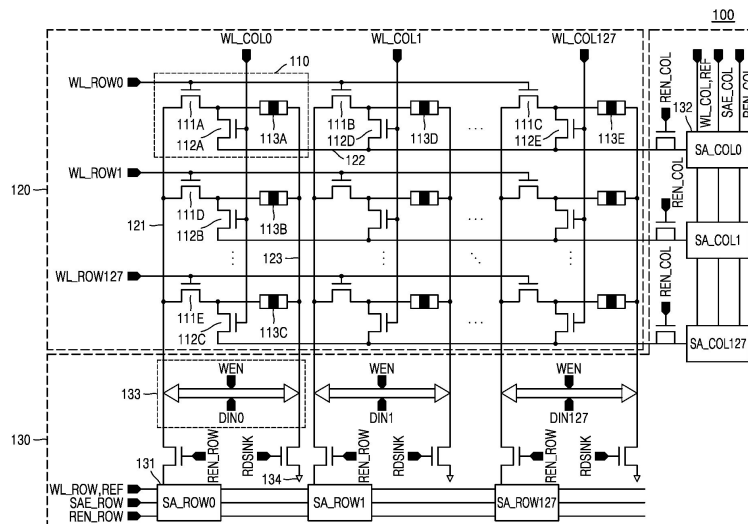
심사관 : 신우열

(54) 발명의 명칭 메모리 셀 어레이를 포함하는 저항성 메모리 장치 및 이를 포함하는 시스템

(57) 요약

일부 실시예에 따르면, 복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이를 포함하고, 행 트랜지스터가 선택됨에 따라 메모리 셀 어레이의 행 방향으로 데이터를 독출하거나 기입하는 동작을 수행하며, 열 트랜지스터가 선택됨에 따라 메모리 셀 어레이의 열 방향으로 데이터를 독출하거나 기입하는 동작을 수행하는 저항성 메모리 장치를 제공할 수 있다.

대표도



(52) CPC특허분류  
*G11C 13/0069* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이를 포함하는 저항성 메모리 장치에 있어서,

상기 복수의 메모리 셀들 각각은,

일단이 비트라인에 연결되는 가변 저항 소자;

행 워드라인에 의해 선택되고, 행 소스라인 및 상기 가변 저항 소자의 타단 사이에 연결되는 행 트랜지스터; 및 열 워드라인에 의해 선택되고, 열 소스라인 및 상기 가변 저항 소자의 상기 타단 사이에 연결되는 열 트랜지스터를 포함하고,

상기 행 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 행 방향으로 데이터를 독출하거나 기입하는 동작이 수행되고, 상기 열 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 열 방향으로 데이터를 독출하거나 기입하는 동작이 수행되며,

상기 저항성 메모리 장치는,

상기 행 소스라인 및 상기 비트라인 사이에 연결되는 기입 드라이버를 더 포함하고,

상기 행 방향으로 데이터를 기입하는 동작은,

상기 기입 드라이버에 의해 상기 행 소스라인 및 상기 비트라인 각각에 인가되는 전압에 따라, 상기 가변 저항 소자에 저장된 논리값을 변경하거나 유지하는 동작을 포함하며,

상기 열 방향으로 데이터를 기입하는 동작은,

상기 기입 드라이버를 이용하지 않고, 상기 열 소스라인 및 상기 비트라인 각각에 인가되는 전압에 따라, 상기 가변 저항 소자에 저장된 논리값을 변경하거나 유지하는 동작을 포함하고,

상기 열 트랜지스터의 게이트의 너비가 상기 행 트랜지스터의 게이트의 너비보다 크거나, 상기 열 방향으로 데이터를 기입하는 동작 중에 상기 가변 저항 소자의 양단 중 적어도 하나에 음전압이 인가되는, 저항성 메모리 장치.

#### 청구항 2

제 1항에 있어서,

상기 행 소스라인에 연결되는 행 센스 앰프를 더 포함하고,

상기 행 방향으로 데이터를 독출하는 동작은,

상기 행 트랜지스터가 상기 행 워드라인에 의해 선택됨에 따라, 상기 행 센스 앰프를 이용하여 상기 가변 저항 소자에 저장된 논리값을 판별하는 동작을 포함하는, 저항성 메모리 장치.

#### 청구항 3

제 1항에 있어서,

상기 행 방향으로 데이터를 독출하는 동작은,

상기 행 워드라인을 따라 배열되고, 상기 행 워드라인에 연결되는 제1 메모리 셀들의 적어도 일부에 대해 각각 수행되는, 저항성 메모리 장치.

#### 청구항 4

제 1항에 있어서,

상기 열 소스라인에 연결되는 열 센스 앰프를 더 포함하고,

상기 열 방향으로 데이터를 독출하는 동작은,

상기 열 트랜지스터가 상기 열 워드라인에 의해 선택됨에 따라, 상기 열 센스 앰프를 이용하여 상기 가변 저항 소자에 저장된 논리값을 판별하는 동작을 포함하는, 저항성 메모리 장치.

#### 청구항 5

제 1항에 있어서,

상기 열 방향으로 데이터를 독출하는 동작은,

상기 열 워드라인을 따라 배열되고, 상기 열 워드라인에 연결되는 제2 메모리 셀들의 적어도 일부에 대해 각각 수행되는, 저항성 메모리 장치.

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

제 1항에 있어서,

상기 저항성 메모리 장치는,

FRAM(ferroelectric random access memory), MRAM(magnetoresistive random access memory), NFGM(nano-floating gate memory), PRAM(phase-change random access memory), RRAM(resistive random access memory), SRAM(static random access memory) 및 플래시 메모리 중 적어도 하나인, 저항성 메모리 장치.

#### 청구항 10

제 1항에 있어서,

상기 가변 저항 소자는,

하나의 비트에 대응되는 논리값을 하나 이상 저장하는, 저항성 메모리 장치.

#### 청구항 11

복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이를 포함하는 저항성 메모리 장치;

상기 저항성 메모리 장치가 수행하는 동작을 제어하는 메모리 컨트롤러;

상기 저항성 메모리 장치에 기입될 데이터를 입력하고, 상기 저항성 메모리 장치로부터 독출된 데이터를 출력하는 입출력부; 및

상기 메모리 컨트롤러 및 상기 입출력부를 제어하는 프로세서를 포함하고,

상기 복수의 메모리 셀들 각각은,

일단이 비트라인에 연결되는 가변 저항 소자,

행 워드라인에 의해 선택되고, 행 소스라인 및 상기 가변 저항 소자의 타단 사이에 연결되는 행 트랜지스터, 및 열 워드라인에 의해 선택되고, 열 소스라인 및 상기 가변 저항 소자의 상기 타단 사이에 연결되는 열 트랜지스터를 포함하고,

상기 행 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 행 방향으로 데이터를 독출하거나 기입하는 동작이 수행되고, 상기 열 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 열 방향으로 데이터를 독출하거나 기입하는 동작이 수행되며,

상기 저항성 메모리 장치는,

상기 행 소스라인 및 상기 비트라인 사이에 연결되는 기입 드라이버를 더 포함하고,

상기 행 방향으로 데이터를 기입하는 동작은,

상기 기입 드라이버에 의해 상기 행 소스라인 및 상기 비트라인 각각에 인가되는 전압에 따라, 상기 가변 저항 소자에 저장된 논리값을 변경하거나 유지하는 동작을 포함하며,

상기 열 방향으로 데이터를 기입하는 동작은,

상기 기입 드라이버를 이용하지 않고, 상기 열 소스라인 및 상기 비트라인 각각에 인가되는 전압에 따라, 상기 가변 저항 소자에 저장된 논리값을 변경하거나 유지하는 동작을 포함하고,

상기 열 트랜지스터의 게이트의 너비가 상기 행 트랜지스터의 게이트의 너비보다 크거나, 상기 열 방향으로 데이터를 기입하는 동작 중에 상기 가변 저항 소자의 양단 중 적어도 하나에 음전압이 인가되는, 시스템.

### 청구항 12

제 11항에 있어서,

상기 저항성 메모리 장치는,

상기 행 소스라인에 연결되는 행 센스 앰프를 더 포함하고,

상기 행 방향으로 데이터를 독출하는 동작은,

상기 행 트랜지스터가 상기 행 워드라인에 의해 선택됨에 따라, 상기 행 센스 앰프를 이용하여 상기 가변 저항 소자에 저장된 논리값을 판별하는 동작을 포함하는, 시스템.

### 청구항 13

제 11항에 있어서,

상기 행 방향으로 데이터를 독출하는 동작은,

상기 행 워드라인을 따라 배열되고, 상기 행 워드라인에 연결되는 제1 메모리 셀들의 적어도 일부에 대해 각각 수행되는, 시스템.

### 청구항 14

제 11항에 있어서,

상기 저항성 메모리 장치는,

상기 열 소스라인에 연결되는 열 센스 앰프를 더 포함하고,

상기 열 방향으로 데이터를 독출하는 동작은,

상기 열 트랜지스터가 상기 열 워드라인에 의해 선택됨에 따라, 상기 열 센스 앰프를 이용하여 상기 가변 저항 소자에 저장된 논리값을 판별하는 동작을 포함하는, 시스템.

### 청구항 15

제 11항에 있어서,

상기 열 방향으로 데이터를 독출하는 동작은,

상기 열 워드라인을 따라 배열되고, 상기 열 워드라인에 연결되는 제2 메모리 셀들의 적어도 일부에 대해 각각 수행되는, 시스템.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

제 11항에 있어서,

상기 저항성 메모리 장치는,

FRAM, MRAM, NFGM, PRAM, RRAM, SRAM 및 플래시 메모리 중 적어도 하나인, 시스템.

**청구항 20**

제 11항에 있어서,

상기 가변 저항 소자는,

하나의 비트에 대응되는 논리값을 하나 이상 저장하는, 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 메모리 셀 어레이를 포함하는 저항성 메모리 장치 및 이를 포함하는 시스템에 관한 것이다.

**배경 기술**

[0002] 비휘발성인 동시에 리프레쉬(refresh)가 필요 없는 차세대 메모리 장치로서, DRAM(dynamic random access memory)의 고집적성, 플래시 메모리의 비휘발성, SRAM(static RAM)의 고속성 등을 갖춘 PRAM(phase change RAM), NFGM(nano floating gate memory), PoRAM(Polymer RAM), MRAM(magnetoresistive RAM) 등에 대한 연구가 진행되고 있다.

[0003] 또한, 하드웨어를 이용해 생물학적 신경망 구조를 모방함으로써 인간의 두뇌를 모사하는 뉴로모픽 시스템(neuromorphic system)에 대한 연구도 진행되고 있다. 뉴로모픽 시스템은 뉴런(neuron) 간의 연결 강도를 저장하는 시냅스(synapse) 회로를 포함할 수 있고, 시냅스 회로는 하나 이상의 비트를 저장하는 가변 저항 소자들을 포함하는 메모리 장치를 이용하여 구현될 수 있다.

[0004] 뉴로모픽 시스템이 양방향의 신경망(neural network) 구조를 필요로 하는 알고리즘을 이용해 학습을 수행하기 위하여, 뉴로모픽 시스템에 포함되는 메모리 장치가 양방향의 신경망 구조를 구현할 수 있도록 설계될 것이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0005] 다양한 실시예들은 메모리 셀 어레이를 포함하는 저항성 메모리 장치 및 이를 포함하는 시스템을 제공하는데 있다. 본 개시가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

**과제의 해결 수단**

[0006] 상술한 기술적 과제를 해결하기 위한 수단으로서, 본 개시의 일 측면에 따른 저항성 메모리 장치는, 복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이를 포함하고, 상기 복수의 메모리 셀들 각각은, 일단이 비트

라인에 연결되는 가변 저항 소자; 행 워드라인에 의해 선택되고, 행 소스라인 및 가변 저항 소자의 타단 사이에 연결되는 행 트랜지스터; 및 열 워드라인에 의해 선택되고, 열 소스라인 및 상기 가변 저항 소자의 상기 타단 사이에 연결되는 열 트랜지스터를 포함하고, 상기 행 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 행 방향으로 데이터를 독출하거나 기입하는 동작을 수행하거나, 상기 열 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 열 방향으로 데이터를 독출하거나 기입하는 동작을 수행할 수 있다.

[0007] 본 개시의 다른 측면에 따른 시스템은, 복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이를 포함하는 저항성 메모리 장치; 상기 저항성 메모리 장치가 수행하는 동작을 제어하는 메모리 컨트롤러; 상기 저항성 메모리 장치에 기입될 데이터를 입력하고, 상기 저항성 메모리 장치로부터 독출된 데이터를 출력하는 입출력부; 및 상기 메모리 컨트롤러 및 상기 입출력부를 제어하는 프로세서를 포함할 수 있다. 상기 복수의 메모리 셀들 각각은, 일단이 비트라인에 연결되는 가변 저항 소자, 행 워드라인에 의해 선택되고, 행 소스라인 및 상기 가변 저항 소자의 타단 사이에 연결되는 행 트랜지스터, 및 열 워드라인에 의해 선택되고, 열 소스라인 및 상기 가변 저항 소자의 상기 타단 사이에 연결되는 열 트랜지스터를 포함할 수 있다. 상기 저항성 메모리 장치는 상기 행 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 행 방향으로 데이터를 독출하거나 기입하는 동작을 수행하고, 상기 열 트랜지스터가 선택됨에 따라 상기 메모리 셀 어레이의 열 방향으로 데이터를 독출하거나 기입하는 동작을 수행할 수 있다.

**도면의 간단한 설명**

[0008] 도 1은 일부 실시예에 따른 저항성 메모리 장치의 구성을 나타내는 블록도이다.  
 도 2는 일부 실시예에 따른 저항성 메모리 장치의 일 예를 나타내는 도면이다.  
 도 3은 일부 실시예에 따른 행 방향으로 데이터를 독출하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.  
 도 4는 일부 실시예에 따른 센스 앰프의 구조를 나타내는 도면이다.  
 도 5는 일부 실시예에 따른 센스 앰프의 동작 파형을 나타내는 도면이다.  
 도 6은 일부 실시예에 따른 열 방향으로 데이터를 독출하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.  
 도 7은 일부 실시예에 따른 기입 드라이버의 구조 및 기입 드라이버의 동작을 설명하는 표를 나타내는 도면이다.  
 도 8은 일부 실시예에 따른 행 방향으로 데이터를 기입하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.  
 도 9는 일부 실시예에 따른 열 방향으로 데이터를 기입하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.  
 도 10은 일부 실시예에 따른 저항성 메모리 장치의 동작 파형을 나타내는 도면이다.  
 도 11은 일부 실시예에 따른 저항성 메모리 장치의 다른 예를 나타내는 도면이다.  
 도 12는 일부 실시예에 따른 저항성 메모리 장치를 포함하는 시스템의 구성을 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0009] 이하 첨부된 도면을 참조하면서 오로지 예시를 위한 실시예들을 상세히 설명하기로 한다. 하기 설명은 실시예들을 구체화하기 위한 것일 뿐 발명의 권리 범위를 제한하거나 한정하는 것이 아님은 물론이다. 상세한 설명 및 실시예로부터 당해 기술분야의 전문가가 용이하게 유추할 수 있는 것은 권리범위에 속하는 것으로 해석된다.

[0010] 본 명세서에서 사용되는 '구성된다' 또는 '포함한다' 등의 용어는 명세서 상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.

[0011] 또한, 본 명세서에서 사용되는 '제 1' 또는 '제 2' 등과 같이 서수를 포함하는 용어는 다양한 구성 요소들을 설

명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

- [0012] 본 실시예들은 메모리 셀 어레이를 포함하는 저항성 메모리 장치 및 이를 포함하는 시스템에 관한 것으로서 이하의 실시예들이 속하는 기술 분야에서 통상의 지식을 가진 자에게 널리 알려져 있는 사항들에 관해서는 자세한 설명을 생략한다.
- [0013] 명세서 전체에서 '행 방향 동작'은 행 방향 독출 동작 및 행 방향 기입 동작을 의미하고, '열 방향 동작'은 열 방향 독출 동작 및 열 방향 기입 동작을 의미할 수 있다. '행 방향 독출 동작'은 메모리 셀 어레이의 행 방향으로 데이터를 독출하는 동작을 의미하고, '열 방향 독출 동작'은 메모리 셀 어레이의 열 방향으로 데이터를 독출하는 동작을 의미할 수 있다. 또한, '행 방향 기입 동작'은 메모리 셀 어레이의 행 방향으로 데이터를 기입하는 동작을 의미하고, '열 방향 기입 동작'은 메모리 셀 어레이의 열 방향으로 데이터를 기입하는 동작을 의미할 수 있다.
- [0014] 도 1은 일부 실시예에 따른 저항성 메모리 장치의 구성을 나타내는 블록도이다.
- [0015] 도 1을 참조하면, 저항성 메모리 장치(100)는 메모리 셀 어레이(120), 독출/기입 회로(130), 제어 로직(140), 전압 생성부(150), 제1 디코더(160) 및 제2 디코더(170)를 포함할 수 있다.
- [0016] 메모리 셀 어레이(120)는 복수의 메모리 셀들이 행렬 형태로 배열된 구조를 의미할 수 있다. 예를 들어, 메모리 셀 어레이(120)는 정방 행렬의 형태로 구성될 수 있다. 다만 이에 제한되는 것은 아니다.
- [0017] 독출/기입 회로(130)는 기입 회로(WC) 및 독출 회로(RC)를 포함할 수 있다. 독출/기입 회로(130)는 제어 로직(140)으로부터 전송된 동작 제어 신호(CTRL\_op)에 기초하여, 메모리 셀 어레이(120)에 대한 독출 및 기입 동작을 수행할 수 있다. 독출 및 기입 동작은 메모리 셀 어레이(120)에 저장된 데이터를 독출하는 동작 및 메모리 셀 어레이(120)에 데이터를 기입하는 동작을 의미할 수 있다.
- [0018] 제어 로직(140)은 저항성 메모리 장치(100) 외부의 메모리 컨트롤러로부터 어드레스(ADDR), 커맨드(CMD) 및 제어 신호(CTRL)를 포함하는 신호들을 수신할 수 있다. 제어 로직(140)은 수신된 신호들에 기초하여 메모리 셀 어레이(120)에 대한 독출 및 기입 동작을 제어할 수 있다. 제어 로직(140)은 전압 생성부(150), 제1 디코더(160), 제2 디코더(170) 및 독출/기입 회로(130)에 제어 신호를 전송할 수 있다. 예를 들어, 제어 로직(140)은 제1 디코더(160)에 주소(X-ADDR)를 전송할 수 있고, 제2 디코더(170)에 주소(Y-ADDR)를 전송할 수 있다.
- [0019] 전압 생성부(150)는 제어 로직(140)으로부터 전송된 전압 제어 신호(CTRL\_vol)에 기초하여, 메모리 셀 어레이(120)에 인가되는 전압을 생성할 수 있다. 예를 들어, 전압 생성부(150)는 행 워드라인(WL\_ROW) 및 열 워드라인(WL\_COL)에 인가되는 전압을 생성할 수 있다.
- [0020] 제1 디코더(160)는 제어 로직(140)으로부터 전송된 주소(X-ADDR)에 기초하여, 전압 생성부(150)에 의해 생성된 워드라인 전압(V<sub>WL</sub>)을 전송된 주소(X-ADDR)에 대응되는 행 워드라인(WL\_ROW) 또는 열 워드라인(WL\_COL)에 인가할 수 있다.
- [0021] 제2 디코더(170)는 제어 로직(140)으로부터 전송된 주소(Y-ADDR)에 기초하여, 기입 회로(WC)로부터 전송된 데이터를 메모리 셀 어레이(120)에 포함되는 행 소스라인(SL\_ROW), 열 소스라인(SL\_COL) 및 비트라인(BL)에 전송할 수 있고, 메모리 셀 어레이(120)로부터 전송된 데이터를 독출 회로(RC)에 전송할 수 있다.
- [0022] 이하에서는, 도 2 내지 도 11을 참조하여 본 개시에 따른 저항성 메모리 장치(100)의 실시예가 상세히 설명될 것이다.
- [0023] 도 2는 일부 실시예에 따른 저항성 메모리 장치의 일 예를 나타내는 도면이다.
- [0024] 도 2를 참조하면, 저항성 메모리 장치(100)를 구성하는 요소들의 연결 관계를 나타내는 회로도 예시가 도시된다. 저항성 메모리 장치(100)는 가변 저항 소자(113A)를 이용하여 데이터를 저장하는 장치를 의미할 수 있다. 설명의 편의를 위해 도 1에 도시된 저항성 메모리 장치(100)를 구성하는 요소들의 일부만이 도 2에 도시된다.
- [0025] 도 2를 살펴보면, 저항성 메모리 장치(100)는 메모리 셀(110)을 포함하는 복수의 메모리 셀들이 행렬 형태로 배열된 메모리 셀 어레이(120) 및 저항성 메모리 장치(100)가 독출 및 기입 동작을 수행하도록 제어되는 독출/기입 회로(130)를 포함한다.
- [0026] 메모리 셀 어레이(120)는 메모리 셀(110)을 포함하는 복수의 메모리 셀들을 포함한다. 메모리 셀(110)을 포함하



는 복수의 메모리 셀들은 메모리 셀 어레이(120) 상의 복수의 행들 및 복수의 열들이 교차하는 지점들마다 배열된다. 메모리 셀(110)을 포함하는 복수의 메모리 셀들은 메모리 셀 어레이(120) 상에서 행 방향 또는 열 방향으로 배치되는 라인들에 연결된다.

- [0027] 메모리 셀 어레이(120)는 복수의 행 워드라인들(WL\_ROW0, WL\_ROW1, ..., WL\_ROW127) 및 복수의 열 워드라인들(WL\_COL0, WL\_COL1, ..., WL\_COL127)을 포함한다. 예를 들어, 행 워드라인(WL\_ROW0)은 메모리 셀 어레이(120) 상에서 행 방향으로 배치되고, 복수의 행 트랜지스터들(111A, 111B, 111C)에 연결된다. 열 워드라인(WL\_COL0)은 메모리 셀 어레이(120) 상에서 열 방향으로 배치되고, 복수의 열 트랜지스터들(112A, 112B, 112C)에 연결된다.
- [0028] 메모리 셀 어레이(120)는 행 소스라인(121)을 포함하는 복수의 행 소스라인들 및 열 소스라인(122)을 포함하는 복수의 열 소스라인들을 포함한다. 예를 들면, 행 소스라인(121)은 메모리 셀 어레이(120) 상에서 열 방향으로 배치되고, 복수의 행 트랜지스터들(111A, 111D, 111E)에 연결된다. 열 소스라인(122)은 메모리 셀 어레이(120) 상에서 행 방향으로 배치되고, 복수의 열 트랜지스터들(112A, 112B, 112C)에 연결된다.
- [0029] 메모리 셀 어레이(120)는 비트라인(123)을 포함하는 복수의 비트라인들을 포함한다. 예를 들면, 비트라인(123)은 메모리 셀 어레이(120) 상에서 열 방향으로 배치되고, 복수의 가변 저항 소자들(113A, 113B, 113C)에 연결된다. 저항성 메모리 장치(100)에 포함되는 비트라인(123)을 포함하는 복수의 비트라인들은 열 방향으로 배치되지만, 후술할 도 11에 도시된 것과 같이 비트라인(123)을 포함하는 복수의 비트라인들은 행 방향으로 배치될 수 있다.
- [0030] 행 워드라인(WL\_ROW0)에 연결되는 메모리 셀들에 포함되는 복수의 가변 저항 소자들(113A, 113D, 113E) 각각이 서로 다른 비트라인들에 연결되는 것과는 달리, 열 워드라인(WL\_COL0)에 의해 선택되는 메모리 셀들은 하나의 비트라인(123)을 공유한다. 예를 들면, 열 워드라인(WL\_COL0)에 의해 선택되는 메모리 셀들에 포함되는 복수의 가변 저항 소자들(113A, 113B, 113C)은 모두가 동일한 비트라인(123)에 연결된다.
- [0031] 열 워드라인(WL\_COL0)에 의해 선택되는 메모리 셀들이 하나의 비트라인(123)을 공유하기 때문에, 열 방향 독출 및 기입 동작과 행 방향 독출 및 기입 동작의 차이점이 발생한다. 열 방향 독출 및 기입 동작과 행 방향 독출 및 기입 동작의 차이점은 후술할 도 6 및 도 9를 참조하여 상세하게 설명될 것이다.
- [0032] 메모리 셀 어레이(120)는 128개의 행 및 128개의 열을 포함하는 (128x128) 행렬의 형태일 수 있다. 메모리 셀 어레이(120)는 16384개의 메모리 셀들을 포함하고, 128개의 행 워드라인들, 128개의 열 워드라인들, 128개의 행 소스라인들, 128개의 열 소스라인들, 128개의 비트라인들, 128개의 행 센스 앰프들, 128개의 열 센스 앰프들 및 128개의 기입 드라이버들을 포함할 수 있다. 다만, 메모리 셀 어레이(120)의 (128x128) 행렬의 형태는 예시에 불과하고, 메모리 셀 어레이(120)는 임의의 정수 개의 행들 및 정수 개의 열들로 구성될 수 있다.
- [0033] 본 개시에서 사용되는 접두어 "행" 및 "열"은 각각이 행 방향 동작 또는 열 방향 동작에 이용됨을 의미할 수 있다. 접두어 "행" 및 "열"의 사용은 설명의 편의를 위한 것일 뿐, 이에 한정되는 것은 아니다. 예를 들면, 저항성 메모리 장치(100)가 시계 방향 또는 반시계 방향으로 90° 회전되어 배치되는 경우에는 행 방향 및 열 방향의 의미가 서로 교환될 수 있다.
- [0034] 하나의 메모리 셀은 두 개의 트랜지스터 및 하나의 가변 저항 소자를 포함하는 2T-1R(2 transistors-1 resistor) 구조를 갖는다. 예를 들면, 메모리 셀(110)은 행 트랜지스터(111A), 열 트랜지스터(112A) 및 가변 저항 소자(113A)를 포함한다. 행 트랜지스터(111A)가 가변 저항 소자(113A)에 연결되고, 열 트랜지스터(112A)가 가변 저항 소자(113A) 및 행 트랜지스터(111A)가 연결되는 노드에 연결된다.
- [0035] 행 트랜지스터(111A)는 게이트 단자를 통해 행 워드라인(WL\_ROW0)에 연결된다. 행 트랜지스터(111A)는 행 워드라인(WL\_ROW0)에 인가되는 전압에 따라 행 트랜지스터(111A)의 드레인 단자 및 소스 단자를 연결시킬 수 있다.
- [0036] 행 트랜지스터(111A)는 행 소스라인(121)과 가변 저항 소자(113A) 사이에 연결된다. 행 트랜지스터(111A)의 소스 단자 및 드레인 단자 중 어느 하나가 행 소스라인(121)에 연결되고, 다른 하나가 가변 저항 소자(113A)에 연결된다. 예를 들어, 행 트랜지스터(111A)가 NMOS(N-type metal oxide semiconductor) 트랜지스터인 경우, 행 트랜지스터(111A)의 드레인 단자는 행 소스라인(121)에 연결되고, 행 트랜지스터(111A)의 소스 단자는 가변 저항 소자(113A)에 연결된다.
- [0037] 복수의 행 트랜지스터들(111A, 111B, 111C)은 메모리 셀 어레이(120) 상에서 동일한 행을 따라 배열되고, 행 워드라인(WL\_ROW0)에 연결된다. 행 워드라인(WL\_ROW0)에 VDD가 인가되는 경우, 복수의 행 트랜지스터들(111A, 111B, 111C)은 전부가 단락(short)된다.

- [0038] 복수의 행 트랜지스터들(111A, 111D, 111E)은 메모리 셀 어레이(120) 상에서 동일한 열을 따라 배열되고, 행 소스라인(121)에 연결된다. 행 소스라인(121)은 독출/기입 회로(130)에 포함되는 행 센스 앰프(131)에 연결된다. 행 워드라인(WL\_ROW0)에 VDD가 인가되면 행 트랜지스터(111A)가 단락되고, 행 센스 앰프(131)가 행 소스라인(121)을 통해 가변 저항 소자(113A)에 연결될 수 있다.
- [0039] 열 트랜지스터(112A)는 게이트 단자를 통해 열 워드라인(WL\_COLO)에 연결된다. 열 트랜지스터(112A)는 열 워드라인(WL\_COLO)에 인가되는 전압에 따라 열 트랜지스터(112A)의 드레인 단자 및 소스 단자를 연결시킬 수 있다.
- [0040] 열 트랜지스터(112A)는 열 소스라인(122)과 가변 저항 소자(113A) 사이에 연결된다. 열 트랜지스터(112A)의 소스 단자 및 드레인 단자 중 어느 하나가 열 소스라인(122)에 연결되고, 다른 하나가 가변 저항 소자(113A)에 연결된다. 예를 들어, 열 트랜지스터(112A)는 도 2에 도시된 바와 같이 NMOS 트랜지스터이므로, 열 트랜지스터(112A)의 소스 단자는 가변 저항 소자(113A)에 연결되고, 열 트랜지스터(112A)의 드레인 단자는 열 소스라인(122)에 연결된다. 다만, 이는 예시에 불과할 뿐, 열 트랜지스터(112A)는 PMOS 트랜지스터일 수도 있다. 열 트랜지스터(112A)가 PMOS 트랜지스터인 경우 열 트랜지스터(112A)의 소스 단자 및 드레인 단자는 열 트랜지스터(112A)가 NMOS 트랜지스터인 경우와 반대로 연결될 수 있다.
- [0041] 복수의 열 트랜지스터들(112A, 112B, 112C)은 메모리 셀 어레이(120) 상에서 동일한 열을 따라 배열되고, 열 워드라인(WL\_COLO)에 연결된다. 열 워드라인(WL\_COLO)에 VDD가 인가되는 경우, 복수의 열 트랜지스터들(112A, 112B, 112C)은 전부가 단락된다.
- [0042] 복수의 열 트랜지스터들(112A, 112D, 112E)은 메모리 셀 어레이(120) 상에서 동일한 행을 따라 배열되고, 열 소스라인(122)에 연결된다. 열 소스라인(122)은 독출/기입 회로(130)에 포함되는 열 센스 앰프(132)에 연결된다. 열 워드라인(WL\_COLO)에 VDD가 인가되면 열 트랜지스터(112A)가 단락되고, 열 센스 앰프(132)가 열 소스라인(122)을 통해 가변 저항 소자(113A)에 연결될 수 있다.
- [0043] 가변 저항 소자(113A)는 정해진 개수의 저항값들 중 어느 하나를 가질 수 있다. 예를 들면, 저항성 메모리 장치(100)에 사용되는 가변 저항 소자(113A)는 1 비트를 저장할 수 있다. 가변 저항 소자(113A)는  $2^1$  개의 저항값들을 가질 수 있고, 각각의 저항값은 논리값 1(TRUE) 또는 0(FALSE)에 대응된다. 그러나 이에 한정되는 것은 아니고, 복수 개의 비트를 저장하는 가변 저항 소자가 사용될 수 있다. 예를 들면, 저항성 메모리 장치(100)가 2 비트를 저장하는 가변 저항 소자를 포함할 수 있다. 2 비트를 저장하는 가변 저항 소자는  $2^2$  개의 저항값들을 가질 수 있고,  $2^2$  개의 저항값들은  $2^2$  개의 데이터에 대응될 수 있다.
- [0044] 가변 저항 소자(113A)는 MTJ(magnetic tunnel junction) 소자일 수 있다. MTJ 소자는 고정층(pinned layer)의 강자성체, 자유층(free layer)의 강자성체 및 그 사이에 위치하는 절연막(insulator)으로 구성된다. 자유층의 자화 방향이 고정층의 자화 방향과 같은 경우 낮은 저항값을 갖고, 다른 경우 높은 저항값을 갖는다. MTJ 소자가 가질 수 있는 두 개의 저항값들은 각각 논리값 0 또는 1에 대응될 수 있고, MTJ 소자가 저장하는 논리값에 대한 독출 동작이 수행될 수 있다. MTJ 소자에 일정 수준 이상의 전류를 공급하는 경우, 공급되는 전류의 방향에 따라 자유층의 자화 방향이 변경될 수 있다. 자유층의 자화 방향이 변경됨에 따라, MTJ 소자가 저장하는 논리값에 대한 기입 동작이 수행될 수 있다.
- [0045] 독출/기입 회로(130)는 메모리 셀 어레이(120)에 저장된 데이터에 대한 독출 및 기입 동작에 이용된다. 독출/기입 회로(130)는 행 소스라인(121)을 포함하는 복수의 행 소스라인들, 열 소스라인(122)을 포함하는 복수의 열 소스라인들 및 비트라인(123)을 포함하는 복수의 비트라인들에 연결된다.
- [0046] 가변 저항 소자(113A)에 저장된 논리값을 독출하는 동작이 수행될 때, 행 센스 앰프(131) 및 열 센스 앰프(132)는 저장된 논리값에 따라 달라지는 가변 저항 소자(113A)의 저항값을 측정하고, 출력단(도 4에 도시된 OUT)의 전압 변화를 증폭함으로써 0 또는 1의 논리값을 출력할 수 있다.
- [0047] 독출/기입 회로(130)는 행 센스 앰프(131)를 포함하는 복수의 행 센스 앰프들을 포함한다. 행 센스 앰프(131)는 열 방향으로 배열된 복수의 가변 저항 소자들(113A, 113B, 113C) 중 어느 하나의 저항값을 측정함으로써, 측정된 저항값에 해당되는 논리값을 판별하는 동작에 이용된다. 행 센스 앰프(131)를 포함하는 복수의 행 센스 앰프들은 메모리 셀 어레이(120)의 복수의 열들에 대응되어 배치된다. 메모리 셀 어레이(120)의 복수의 열들 각각에 대하여, 행 센스 앰프(131)는 행 소스라인(121)에 연결된다. 행 센스 앰프(131)에 참조 행 워드라인 신호(WL\_ROW, REF), 행 센스 앰프 활성화 신호(SAE\_ROW) 및 행 독출 활성화 신호(REN\_ROW)가 인가됨에 따라 행 방향 독출 동작이 수행된다. 행 방향 독출 동작은 후술할 도 3을 참조하여 상세하게 설명될 것이다.

- [0048] 독출/기입 회로(130)는 열 센스 앰프(132)를 포함하는 복수의 열 센스 앰프들을 포함한다. 열 센스 앰프(132)는 행 방향으로 배열된 복수의 가변 저항 소자들(113A, 113D, 113E) 중 어느 하나의 저항값을 측정함으로써, 측정된 저항값에 해당하는 논리값을 판별하는 동작에 이용된다. 열 센스 앰프(132)를 포함하는 복수의 열 센스 앰프들은 메모리 셀 어레이(120)의 복수의 행들에 대응되어 배치된다. 메모리 셀 어레이(120)의 복수의 행들 각각에 대하여, 열 센스 앰프(132)는 열 소스라인(122)에 연결된다. 열 센스 앰프(132)에 참조 열 워드라인 신호(WL\_COL, REF), 열 센스 앰프 활성화 신호(SAE\_COL) 및 열 독출 활성화 신호(REN\_COL)가 인가됨에 따라 열 방향 독출 동작이 수행된다. 열 방향 독출 동작은 후술할 도 6을 참조하여 상세하게 설명될 것이다.
- [0049] 독출/기입 회로(130)는 기입 드라이버(133)를 포함하는 복수의 기입 드라이버들을 포함한다. 기입 드라이버(133)는 열 방향으로 배열된 복수의 가변 저항 소자들(113A, 113B, 113C) 중 어느 하나의 양단에 전압을 인가함으로써, 복수의 가변 저항 소자들(113A, 113B, 113C) 중 어느 하나에 논리값을 기입하는 동작에 이용된다. 기입 드라이버(133)를 포함하는 복수의 기입 드라이버들은 메모리 셀 어레이(120)의 복수의 열들에 대응되어 배치된다. 메모리 셀 어레이(120)의 복수의 열들 각각에 대하여, 기입 드라이버(133)는 행 소스라인(121) 및 비트라인(123)에 연결된다. 기입 드라이버(133)는 행 방향 기입 동작에만 이용되고, 열 방향 기입 동작에는 이용되지 않는다. 기입 드라이버(133) 및 행 방향 기입 동작은 후술할 도 7 및 도 8을 참조하여 상세히 설명될 것이다. 또한 열 방향 기입 동작은 후술할 도 9를 참조하여 상세히 설명될 것이다.
- [0050] 메모리 셀(110)의 2T-1R 구조에 따라, 행 워드라인(WL\_ROW0)에 의해 선택되는 행 트랜지스터(111A) 및 열 워드라인(WL\_COL0)에 의해 선택되는 열 트랜지스터(112A) 중 어느 하나를 통해 가변 저항 소자(113A)에 대한 접근이 가능하다. 가변 저항 소자(113A)에 저장되는 논리값에 대한 독출 및 기입 동작이 양방향으로 수행될 수 있으므로, 독출 및 기입 동작의 전치(transpose)가 구현될 수 있다. 본 개시에 따른 저항성 메모리 장치(100)는 전치 가능한 독출 및 기입(transposable reading and writing) 동작을 수행할 수 있다.
- [0051] 독출 및 기입 동작의 전치가 가능해짐에 따라, 저항성 메모리 장치(100)에 저장된 데이터에 대한 독출 및 기입 동작이 수행될 때 소요되는 시간 및 소비되는 전력이 감소할 수 있다. 예를 들면, 3개의 가변 저항 소자들(113A, 113B, 113C)에 저장된 논리값들을 독출하는 경우, 행 워드라인들(WL\_ROW0, WL\_ROW1, WL\_ROW127)에 의해 선택되는 행 트랜지스터들(111A, 111D, 111E)을 이용하여 3회 행 방향 독출 동작이 수행될 수 있다. 그러나 열 워드라인(WL\_COL0)에 의해 선택되는 열 트랜지스터들(112A, 112B, 112C)을 이용하여 1회의 열 방향 독출 동작이 수행될 수도 있다.
- [0052] 따라서, 메모리 셀 어레이(120) 상에서 독출 및 기입의 대상이 되는 메모리 셀들이 배열되는 분포에 기초하여, 행 방향 동작 및 열 방향 동작을 적절히 조합함으로써, 불필요한 데이터에 대한 접근이 최소화될 수 있고, 독출 및 기입 동작에 소요되는 시간 및 소비되는 전력이 감소할 수 있다. 예를 들어, 행 방향 동작 및 열 방향 동작이 수행되는 총 횟수가 최소화되도록 복수의 행 방향 동작들 및 복수의 열 방향 동작들이 조합될 수 있다.
- [0053] 한편, 저항성 메모리 장치(100)는 메모리 셀(110)에 포함되는 가변 저항 소자(113A)가 MTJ 소자인 MRAM(magnetoresistive random access memory)일 수 있다. 다만 이에 한정되는 것은 아니고, 저항성 메모리 장치(100)는 FRAM(ferroelectric random access memory), NFGM(nano-floating gate memory), PRAM(phase-change random access memory), RRAM(resistive random access memory), SRAM(static random access memory) 및 플래시 메모리 중 어느 하나일 수 있다. 일 예로, 강유전체(ferroelectrics)가 가변 저항 소자(113A)로 이용되는 경우 저항성 메모리 장치(100)는 FRAM일 수 있다. 다른 예로, 온도에 따라 저항이 변하는 상 변화(phase change) 물질이 가변 저항 소자(113A)로 이용되는 경우 저항성 메모리 장치(100)는 PRAM일 수 있다.
- [0054] 이하에서는, 도 3 내지 도 5를 참조하여, 본 개시에 따른 저항성 메모리 장치(100)에 의해 수행되는 행 방향 독출 동작이 상세히 설명될 것이다.
- [0055] 도 3은 일부 실시예에 따른 행 방향으로 데이터를 독출하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.
- [0056] 도 3을 참조하면, 행 워드라인(WL\_ROW0)에 VDD가 인가됨에 따라 행 트랜지스터(111A)가 단락되고, 행 센스 앰프(131), 행 소스라인(121), 가변 저항 소자(113A), 비트라인(123) 및 접지단(134)을 연결하는 경로가 형성된다. 도 3에 도시된 바와 같이, 화살표 방향에 따라 행 센스 앰프(131)로부터 접지단(134)으로 독출 전류가 흐른다. 독출 전류의 세기는 가변 저항 소자(113A)에 저장된 논리값에 대응되는 저항값에 따라 달라진다. 행 센스 앰프(131)는 독출 전류의 세기에 따라, 출력단(도 4에 도시된 OUT)의 전압을 0 또는 VDD로 증폭시킨다. 행 센스 앰프(131)의 구체적인 구성에 관하여 도 4가 참조될 수 있다.

- [0057] 한편, 메모리 셀(110)에 대한 독출 동작에 관해 앞에서 설명된 내용은 행 워드라인(WL\_ROW)에 의해 선택되는 다른 행 트랜지스터(111B)를 포함하는 메모리 셀에 대해서도 동일하게 적용될 수 있다.
- [0058] 도 4는 일부 실시예에 따른 센스 앰프의 구조를 나타내는 도면이다.
- [0059] 도 4를 참조하면, 크로스 커플드 인버터(cross-coupled inverter)(410)와 참조부(420)를 포함하는 센스 앰프(400)가 도시된다. 크로스 커플드 인버터(410)는 참조 전류(I\_REF)가 흐르는 참조부(420) 및 독출 전류(I\_READ)가 흐르는 메모리 셀(430)에 연결된다. 도 2에 도시된 저항성 메모리 장치(100)와 비교하면, 센스 앰프(400)는 행 센스 앰프(131)에, 메모리 셀(430)은 메모리 셀(110)에, 워드라인 트랜지스터(MN\_WL)는 행 트랜지스터(111A)에, 자기 터널 접합 소자(MTJ)는 가변 저항 소자(113A)에, 독출 소스라인(SL\_READ)은 행 소스라인(121)에, 독출 비트라인(BL\_READ)은 비트라인(123)에 각각 대응된다.
- [0060] 센스 앰프(400)를 이용한 독출 동작이 수행될 때, 크로스 커플드 인버터(410)를 활성화시키는 센스 앰프 활성화 신호(SAE), 참조부(420)와 메모리 셀(430)의 각 노드들에 VDD를 미리 인가하는 프리 차지 신호(PRECH), 참조부(420) 및 메모리 셀(430)을 크로스 커플드 인버터(410)와 연결시키는 독출 활성화 신호(REN), 참조부(420) 및 메모리 셀(430)을 접지단에 연결시키는 독출 접지 신호(RDSINK) 및 독출 전류(I\_READ)와 참조 전류(I\_REF)가 흐를 수 있도록 하는 워드라인 신호들(WL, WL\_REF)이 이용될 수 있다. 구체적인 독출 동작의 과정을 설명하기 위해 도 5가 참조될 수 있다.
- [0061] 도 5는 일부 실시예에 따른 센스 앰프의 동작 파형을 나타내는 도면이다.
- [0062] 도 4 및 도 5를 참조하면, 시점(510)에서, 독출 활성화 신호(REN) 및 독출 접지 신호(RDSINK)에 VDD가 인가됨에 따라 참조부(420) 및 메모리 셀(430)이 크로스 커플드 인버터(410) 및 접지단에 연결되고, 참조부(420) 및 메모리 셀(430)을 통해 전류가 흐를 수 있는 경로가 형성된다.
- [0063] 시점(520)에서, 워드라인 신호(WL) 및 참조 워드라인 신호(WL\_REF)에 VDD/2가 인가되어 워드라인 트랜지스터(MN\_WL) 및 참조 워드라인 트랜지스터(MN\_WL, REF)가 단락된다. 독출 동작에서 워드라인 신호(WL) 및 참조 워드라인 신호(WL\_REF)에 VDD가 아닌 VDD/2가 인가되는 이유는 후술할 도 10을 참조하여 상세하게 설명될 것이다.
- [0064] 시점(520)까지, 0이 센스 앰프 동작 신호(SAE)에 인가되고 VDD가 PMOS 트랜지스터들(MP\_PRE, MP\_PRE, REF, MP\_HOLD)을 통해 출력단(OUT) 및 반전 출력단(/OUT)에 인가된다.
- [0065] 시점(520)까지, 0이 프리 차지 신호(PRECH)에 인가됨에 따라, VDD가 PMOS 트랜지스터들(MP\_PRE, SL, MP\_PRE, SL, REF, MP\_PRE, BL, MP\_PRE, BL, REF)을 통해 소스라인들(SL\_READ, SL\_REF) 및 비트라인들(BL\_READ, BL\_REF)에 인가된다.
- [0066] 시점(520)과 시점(530) 사이에서, 참조 저항(R\_REF) 및 자기 터널 접합 소자(MTJ)의 양단에 전압이 인가됨에 따라, 참조부(420)를 통해 참조 전류(I\_REF)가 흐르고 메모리 셀(430)을 통해 독출 전류(I\_READ)가 흐른다. 자기 터널 접합 소자(MTJ)에 논리값 0이 저장된 경우, 자기 터널 접합 소자(MTJ)의 저항값이 높기 때문에 독출 전류(I\_READ)의 세기가 참조 전류(I\_REF)의 세기보다 작고, 자기 터널 접합 소자(MTJ)에 논리값 1이 저장된 경우, 자기 터널 접합 소자(MTJ)의 저항값이 낮기 때문에 독출 전류(I\_READ)의 세기가 참조 전류(I\_REF)의 세기보다 크다.
- [0067] 시점(530)에서, 센스 앰프 활성화 신호(SAE)에 VDD가 인가됨에 따라 크로스 커플드 인버터(410)가 활성화된다. 프리 차지 신호(PRECH)에 VDD가 인가됨에 따라, 소스라인들(SL\_READ, SL\_REF) 및 비트라인들(BL\_READ, BL\_REF)에 인가되는 전압이 VDD에서 0으로 변경된다. 참조 저항(R\_REF) 및 가변 저항 소자(MTJ)의 양단에 인가되는 전압이 0이 됨에 따라, 독출 전류(I\_READ) 및 참조 전류(I\_REF)의 세기가 감소한다.
- [0068] 자기 터널 접합 소자(MTJ)에 논리값 1이 저장된 경우, 자기 터널 접합 소자(MTJ)의 저항값이 낮으므로, 독출 전류(I\_READ)의 세기가 참조 전류(I\_REF)의 세기보다 크다. 독출 전류(I\_READ)가 흐르는 메모리 셀(430)에 연결된 반전 출력단(/OUT)의 전하(charge)가 참조 전류(I\_REF)가 흐르는 참조부(420)에 연결된 출력단(OUT)의 전하보다 빠르게 감소한다. 그에 따라 반전 출력단(/OUT)의 전압이 0으로 수렴하고 출력단(OUT)의 전압이 VDD에 수렴함으로써, 자기 터널 접합 소자(MTJ)에 저장된 논리값 1이 독출된다.
- [0069] 자기 터널 접합 소자(MTJ)에 논리값 0이 저장된 경우, 자기 터널 접합 소자(MTJ)의 저항값이 높으므로, 독출 전류(I\_READ)의 세기가 참조 전류(I\_REF)의 세기보다 작다. 독출 전류(I\_READ)가 흐르는 메모리 셀(430)에 연결된 반전 출력단(/OUT)의 전하가 참조 전류(I\_REF)가 흐르는 참조부(420)에 연결된 출력단(OUT)의 전하보다 느리게 감소한다. 그에 따라 반전 출력단(/OUT)의 전압이 VDD로 수렴하고 출력단(OUT)의 전압이 0에 수렴함으로써, 자

기 터널 접합 소자(MTJ)에 저장된 논리값 0이 독출된다.

- [0070] 시점(540)에서, 0이 독출 활성화 신호(REN) 및 독출 접지 신호(RDSINK)에 인가됨에 따라 참조부(420) 및 메모리 셀(430)이 크로스 커플드 인버터(410) 및 접지단과 분리되고, 독출 전류(I\_READ) 및 참조 전류(I\_REF)의 세기도 0이 된다.
- [0071] 도 2에서, 행 센스 앰프(131)에 연결되는 행 소스라인(121)이 복수 개의 메모리 셀들에 연결되는 것과 마찬가지로, 도 4에서도 센스 앰프(400)는 복수 개의 메모리 셀들과 연결될 수 있다. 다만, 도 4에서는 설명의 편의를 위해 하나의 메모리 셀(430)만이 도시된다. 병렬로 연결된 메모리 셀(430)을 포함하는 복수의 메모리 셀들과 참조부(420) 사이에 발생하는 임피던스(impedance) 비대칭을 해소하기 위해, 참조부(420)에 RC 매칭(RC match)이 적용된다.
- [0072] 한편, 도 2를 살펴보면, 독출/기입 회로(130) 상에서 행 센스 앰프 활성화 신호(SAE\_ROW) 및 행 독출 활성화 신호(REN\_ROW)는 행 센스 앰프(131)를 포함하는 복수의 행 센스 앰프들 전부에 인가되는 것으로 도시되나, 행 센스 앰프 활성화 신호(SAE\_ROW) 및 행 독출 활성화 신호(REN\_ROW)는 행 센스 앰프(131)를 포함하는 복수의 행 센스 앰프들 각각에 개별적으로 인가될 수 있다. 따라서, 행 방향 독출 동작은 임의의 행 워드라인에 의해 선택되는 메모리 셀들 전부에 대해 수행될 수 있고, 임의의 행 워드라인에 의해 선택되는 메모리 셀들의 일부에 대해 수행될 수도 있다.
- [0073] 이하에서는, 도 6을 참조하여 본 개시에 따른 저항성 메모리 장치(100)에 의해 수행되는 열 방향 독출 동작이 상세히 설명될 것이다.
- [0074] 도 6은 일부 실시예에 따른 열 방향으로 데이터를 독출하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.
- [0075] 열 방향 독출 동작은 행 방향 독출 동작과 동일한 방식으로 수행된다. 도 6을 참조하면, 열 워드라인(WL\_COLO)에 의해 선택되는 메모리 셀(110)을 포함하는 복수의 메모리 셀들에 대해 독출 동작이 수행된다. 행 방향 트랜지스터(111A) 대신 열 방향 트랜지스터(112A)가 열 워드라인(WL\_COLO)에 의해 선택되고, 행 소스라인(121) 대신 열 소스라인(122)이 열 트랜지스터(112A)를 통해 가변 저항 소자(113A)에 연결된다. 행 센스 앰프(131) 대신 열 센스 앰프(132)에 의해 가변 저항 소자(113A)에 저장된 논리값을 판별하는 독출 동작이 수행된다.
- [0076] 앞서 언급한 바와 같이, 비트라인(123)을 포함하는 복수의 비트라인들이 메모리 셀 어레이(120) 상에서 열 방향으로만 배치됨에 따라, 행 방향 독출 동작과 열 방향 독출 동작의 차이점이 발생한다. 도 3 및 도 6을 대조하면, 도 3에 도시된 바와 같이 행 방향 독출 동작에 수반되는 복수의 독출 전류들은 비트라인(123)을 포함하는 복수의 비트라인들 각각을 통해 접지단(134)을 포함하는 복수의 접지단들로 흐르지만, 도 6에 도시된 바와 같이 열 방향 독출 동작에 수반되는 복수의 독출 전류들은 동일한 비트라인(123)을 통해 접지단(134)으로 흐른다. 따라서 행 방향 독출 동작이 수행되는 경우에 비하여, 열 방향 독출 동작이 수행되는 경우 비트라인(123)을 통해 흐르는 전류의 세기가 더 크다.
- [0077] 열 방향 독출 동작이 수행되는 경우와 같이 비트라인(123)을 통해 흐르는 전류의 세기가 큰 경우, 비트라인(123) 상에서의 전압 강하(voltage drop)의 영향을 무시할 수 없게 된다. 행 방향 독출 동작의 경우 비트라인(123) 상에서의 전압 강하가 고려될 필요가 없지만, 열 방향 독출 동작의 경우 전압 강하가 고려되어야 한다. 비트라인(123) 상에서의 전압 강하가 증가할수록, 독출 동작 시 가변 저항 소자(113A) 양단에 인가되는 전압의 세기가 감소하기 때문이다.
- [0078] 가변 저항 소자(113A)의 양단에 인가되는 전압이 감소할수록 독출 전류(I\_READ)의 세기가 감소하고, 참조 전류(I\_REF)의 세기와 독출 전류(I\_READ)의 세기의 비교가 어려워진다.
- [0079] 따라서 독출 동작이 수행될 때 비트라인(123)을 포함하는 복수의 비트라인들 상에서의 전압 강하를 감소시키고, 가변 저항 소자(113A)의 양단에 인가되는 전압의 세기가 감소하는 것을 방지하기 위하여, 비트라인(123)을 포함하는 복수의 비트라인들이 낮은 저항값을 가지도록 설계될 수 있다. 예를 들어, 비트라인(123)은 낮은 비저항(specific resistance) 값을 갖는 재료로 제작되거나, 행 워드라인(WL\_ROW0) 등의 다른 라인보다 큰 폭(width)을 갖도록 설계될 수 있다.
- [0080] 이하에서는, 도 7 및 도 8을 참조하여 본 개시에 따른 저항성 메모리 장치(100)에 의해 수행되는 행 방향 기입 동작이 상세히 설명될 것이다.
- [0081] 도 7은 일부 실시예에 따른 기입 드라이버의 구조 및 기입 드라이버의 동작을 설명하는 표를 나타내는

도면이다.

- [0082] 도 7을 참조하면, 행 소스라인(121) 및 비트라인(123)을 통해 메모리 셀(110)에 연결되는 기입 드라이버(133)가 도시된다. 기입 드라이버(133)는 행 소스라인(121)에 전압을 인가하는 소스라인 기입 드라이버(WD\_SLO) 및 비트라인(123)에 전압을 인가하는 비트라인 기입 드라이버(WD\_BLO)를 포함한다. 기입 드라이버(133)는 기입 활성화 신호(WEN), 입력 데이터(DINO) 및 반전 입력 데이터(/DINO)를 포함하는 신호들을 수신할 수 있고, 전송된 신호들에 기초하여 메모리 셀(110)에 데이터를 기입하는 동작을 수행할 수 있다.
- [0083] 표(720)의 동작(No Write)를 참조하면, 기입 활성화 신호(WEN)에 0이 인가되는 경우, 두 개의 낸드 게이트(NAND gate)(710A, 710B)의 출력은 VDD가 된다. PMOS 트랜지스터들(MP\_SLO, MP\_BLO)의 게이트들에 VDD가 인가되고, NMOS 트랜지스터들(MN\_SLO, MN\_BLO)의 게이트들에는 인버터(inverter)들에 의해 0이 인가된다. PMOS 트랜지스터들(MP\_SLO, MP\_BLO) 및 NMOS 트랜지스터들(MN\_SLO, MN\_BLO)은 열린 스위치로 동작하고, 행 소스라인(121) 및 비트라인(123)에 기입 드라이버(133)에 의한 전압이 인가되지 않는다.
- [0084] 표(720)의 동작(Write "0")를 참조하면, 기입 활성화 신호(WEN)에 VDD가 인가되고 입력 데이터(DINO)에 0이 인가되는 경우, 낸드 게이트(710A)의 출력은 0이 되고 낸드 게이트(710B)의 출력은 VDD가 된다. 행 소스라인(121)에는 PMOS 트랜지스터(MP\_SLO)에 의해 VDD가 인가되고, 비트라인(123)에는 NMOS 트랜지스터(MN\_BLO)에 의해 0이 인가된다. 행 소스라인(121) 및 비트라인(123)에 인가된 전압들에 의하여 가변 저항 소자(113A)에 논리값 0이 기입될 수 있다.
- [0085] 표(720)의 동작(Write "1")를 참조하면, 기입 활성화 신호(WEN)에 VDD가 인가되고 입력 데이터(DINO)에 VDD가 인가되는 경우, 낸드 게이트(710A)의 출력은 VDD가 되고 낸드 게이트(710B)의 출력은 0이 된다. 행 소스라인(121)에는 NMOS 트랜지스터(MN\_SLO)에 의해 0이 인가되고, 비트라인(123)에는 PMOS 트랜지스터(MP\_BLO)에 의해 VDD가 인가된다. 행 소스라인(121) 및 비트라인(123)에 인가된 전압들에 의하여 가변 저항 소자(113A)에 논리값 1이 기입될 수 있다.
- [0086] 도 8은 일부 실시예에 따른 행 방향으로 데이터를 기입하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.
- [0087] 도 8을 살펴보면, 도 7을 참조하여 설명된 기입 드라이버(133)를 이용해 가변 저항 소자(113A)에 논리값 0 또는 1을 기입하는 동작이 설명된다. 기입 동작은 가변 저항 소자(113A)에 저장된 논리값들을 변경하거나 유지하는 동작을 포함할 수 있다.
- [0088] 가변 저항 소자(113A)에 논리값 0을 기입하는 경우, 행 워드라인(WL\_ROW0)에 의해 행 트랜지스터(111A)가 단락되고, 행 소스라인(121) 및 비트라인(123)을 통해 가변 저항 소자(113A)의 양단이 기입 드라이버(133)에 연결된다. 기입 활성화 신호(WEN)에 VDD가 인가되고 입력 데이터(DINO)에 0이 인가됨에 따라, 행 소스라인(121)에 VDD가 인가되고 비트라인(123)에 0이 인가된다. 가변 저항 소자(113A)의 양단에 VDD가 인가됨에 따라 행 소스라인(121)으로부터 비트라인(123)으로 기입 전류가 흐른다. 기입 전류에 의해, MTJ 소자인 가변 저항 소자(113A)의 고정층 및 자유층의 자화 방향이 서로 반대가 되고, MTJ 소자가 높은 저항값을 갖게 된다. 높은 저항값을 갖는 가변 저항 소자(113A)는 논리값 0에 대응되므로, 논리값 0을 기입하는 동작이 완료된다.
- [0089] 가변 저항 소자(113B)에 논리값 1을 기입하는 경우, 행 워드라인(WL\_ROW0)에 의해 행 트랜지스터(111B)가 단락되고, 행 소스라인(810) 및 비트라인(820)을 통해 가변 저항 소자(113D)의 양단이 기입 드라이버(830)에 연결된다. 기입 활성화 신호(WEN)에 VDD가 인가되고 입력 데이터(DIN1)에 1이 인가됨에 따라, 행 소스라인(810)에 0이 인가되고 비트라인(820)에 VDD가 인가된다. 가변 저항 소자(113D)의 양단에 VDD가 인가됨에 따라 비트라인(820)으로부터 행 소스라인(810)으로 기입 전류가 흐른다. 기입 전류에 의해, MTJ 소자인 가변 저항 소자(113D)의 고정층 및 자유층의 자화 방향이 동일하게 되고, MTJ 소자가 낮은 저항값을 갖게 된다. 낮은 저항값을 갖는 가변 저항 소자(113D)는 논리값 1에 대응되므로, 논리값 1을 기입하는 동작이 완료된다.
- [0090] 한편, 도 2를 살펴보면, 기입 활성화 신호(WEN)는 독출/기입 회로(130) 상에서 기입 드라이버(133)를 포함하는 복수의 기입 드라이버들 전부에 인가되는 것으로 도시되나, 기입 활성화 신호(WEN)는 기입 드라이버(133)를 포함하는 복수의 기입 드라이버들 각각에 개별적으로 인가될 수 있다. 따라서, 행 방향 기입 동작은 임의의 행 워드라인에 의해 선택되는 메모리 셀들 전부에 대해 수행될 수 있고, 임의의 행 워드라인에 의해 선택되는 메모리 셀들의 일부에 대해 수행될 수도 있다.
- [0091] 이하에서는, 본 개시에 따른 저항성 메모리 장치(100)에 의해 수행되는 열 방향 기입 동작이 상세히 설명될 것

이다.

- [0092] 도 9는 일부 실시예에 따른 열 방향으로 데이터를 기입하는 동작을 설명하기 위해 저항성 메모리 장치의 일부 구성만을 도시한 도면이다.
- [0093] 도 9를 참조하면, 열 워드라인(WL\_COLO)에 의해 선택되는 열 트랜지스터(112A)가 단락됨에 따라, 가변 저항 소자(113A)는 열 소스라인(122)과 비트라인(123) 사이에 연결될 수 있다. 열 방향 기입 동작은, 가변 저항 소자(113A)의 양단에 인가되는 전압들이 기입 드라이버에 의해 제공되지 않는다는 점을 제외하면 행 방향 기입 동작과 동일한 방식으로 수행된다.
- [0094] 행 방향 기입 동작에서는 기입 드라이버에 의해 가변 저항 소자의 양단에 각각 전압이 인가되었지만, 열 방향 기입 동작의 경우 비트라인 전압 드라이버(910)에 의해 비트라인(123)에 전압이 인가되고, 열 소스라인 전압 드라이버(920)에 의해 열 소스라인(122)에 전압이 인가된다.
- [0095] 비트라인(123)에 VDD/2가 인가되고 열 소스라인(122)에 VDD가 인가됨에 따라, 가변 저항 소자(113A)의 양단에 VDD/2의 전압이 인가된다. 열 소스라인(940)에 0이 인가됨에 따라, 가변 저항 소자(113B)의 양단에도 VDD/2의 전압이 인가된다. 가변 저항 소자(113A) 및 가변 저항 소자(113B)에 서로 반대 방향의 전압들이 각각 인가되므로, 서로 반대 방향의 기입 전류들에 의해 논리값 0 또는 1에 대한 기입 동작이 수행된다.
- [0096] 열 방향 기입 동작의 경우, 열 방향 독출 동작과 마찬가지로, 열 워드라인(WL\_COLO)에 의해 선택되는 메모리 셀(110)을 포함하는 복수의 메모리 셀들은 하나의 비트라인(123)에 연결된다. 따라서 비트라인(123)에 인가되는 전압은 복수의 가변 저항 소자들(113A, 113B) 각각의 일단에 공통으로 인가된다.
- [0097] 예를 들어, 도 9에서 비트라인(123)에 VDD/2 대신 0이 인가된다면, 가변 저항 소자(113A)의 양단에는 VDD가 인가되어 가변 저항 소자(113A)에 논리값 0이 기입될 수 있지만, 가변 저항 소자(113B)의 양단에는 전압이 인가되지 않아 가변 저항 소자(113B)에 논리값 1이 기입될 수 없다. 하나의 비트라인(123)이 복수의 가변 저항 소자들(113A, 113B) 각각의 일단에 공통으로 인가되기 때문에, 비트라인(123)에 0 또는 VDD 대신 VDD/2가 인가된다.
- [0098] 독출 동작과는 달리 기입 동작에서는, MTJ 소자에 포함된 자유층의 자화 방향을 변경시켜야 하므로, 기입 전류는 일정 수준 이상의 세기를 가질 것이 요구된다. 열 방향 기입 동작에서는 복수의 가변 저항 소자들(113A, 113B)에 VDD가 아닌 VDD/2가 인가되므로, 기입 전류들의 세기를 증가시킬 방안이 요구된다.
- [0099] NMOS 또는 PMOS 트랜지스터의 경우, 포화 영역(saturation region)에서의 드레인 전류는 게이트의 길이(length)에 반비례하고, 게이트의 너비(width)에 비례한다. 일반적인 반도체 공정에서 NMOS 또는 PMOS 트랜지스터의 게이트 길이는 9 nm, 14 nm 등으로 고정되므로, 게이트의 너비를 증가시켜 드레인 전류의 세기를 증가시킬 수 있다. 따라서 기입 전류의 세기를 증가시키기 위해, 열 트랜지스터의 게이트가 행 트랜지스터의 게이트보다 큰 너비를 가지도록 설계될 수 있다.
- [0100] 또한 열 소스라인(122) 및 비트라인(123) 중 적어도 하나에 음전압이 인가될 수 있다. 예를 들어, 열 소스라인(122)에 -VDD가 인가된다면, 비트라인(123)에 0이 인가될 수 있고, 그에 따라 복수의 가변 저항 소자들(113A, 113B)의 양단에 인가되는 전압의 세기가 VDD가 될 수 있으므로, 기입 전류의 세기가 증가할 수 있다. 음전압의 생성을 위해 음전압 변환기(negative voltage converter) 등이 이용될 수 있다.
- [0101] 열 방향 기입 동작은 임의의 열 워드라인에 의해 선택되는 메모리 셀들 전부에 대해 수행될 수 있고, 일부에 대해서만 수행될 수도 있다. 예를 들어, 복수의 열 소스라인들(122, 940)에 전압을 인가하는 복수의 열 소스라인 드라이버들(920, 930) 각각이 개별적으로 동작할 수 있다. 따라서 열 방향 기입 동작은 임의의 행 워드라인에 의해 선택되는 메모리 셀들 중 적어도 일부에 대해 수행될 수 있다.
- [0102] 도 10은 일부 실시예에 따른 저항성 메모리 장치의 동작 파형을 나타내는 도면이다.
- [0103] 도 10을 살펴보면, 저항성 메모리 장치(100)가 독출 및 기입 동작을 수행하는 과정이 독출/기입 회로(130)가 수신하는 신호들(REN\_ROW, REN\_COL, RDSINK, SAE\_ROW, SAE\_COL, WL\_ROW, WL\_COLO, WEN, DINO)의 동작 파형과 함께 도시된다.
- [0104] 행 방향 독출 동작(1010)의 경우, 행 독출 활성화 신호(REN\_ROW) 및 독출 접지 신호(RDSINK)가 인가됨에 따라, 메모리 셀(110)이 행 센스 앰프(131) 및 접지단(134)에 연결된다. 행 워드라인(WL\_ROW)에 VDD/2가 인가됨에 따라 행 트랜지스터(111A)가 단락되고, 독출 전류가 흐를 수 있는 경로가 형성된다. 행 센스 앰프 활성화 신호(SAE\_ROW)가 인가됨에 따라 행 센스 앰프(131)의 출력단(OUT)에 가변 저항 소자(113A)에 저장된 논리값에 대응

되는 전압이 출력된다.

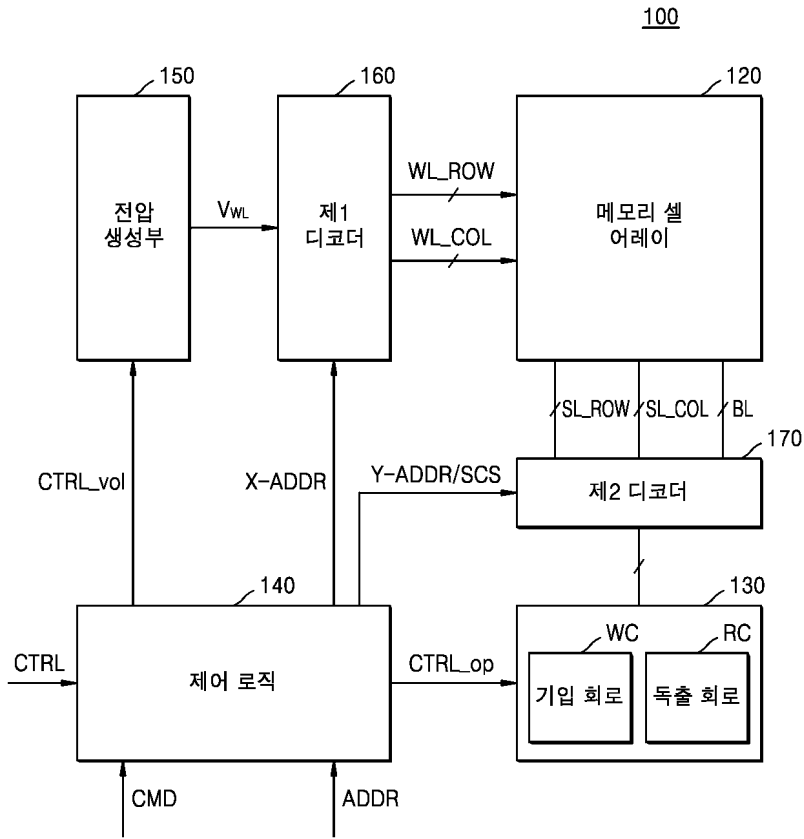
- [0105] 열 방향 독출 동작(1020)도 행 방향 독출 동작(1010)과 동일한 방식으로 수행된다.
- [0106] 행 방향 기입 동작(1030)의 경우, 행 워드라인(WL\_ROW0)에 VDD가 인가됨에 따라 행 트랜지스터(111A)가 단락되고, 기입 드라이버(133)가 행 소스라인(121)을 통해 메모리 셀(110)에 연결된다. 기입 활성화 신호(WEN)가 인가됨에 따라 입력 데이터(DIN0)에 인가되는 전압에 대응되는 논리값이 가변 저항 소자(113A)에 기입된다.
- [0107] 행 워드라인(WL\_ROW0)의 동작 파형을 살펴보면, 행 방향 독출 동작(1010)의 경우 행 워드라인(WL\_ROW0)에 인가되는 전압의 세기가 VDD/2이고, 행 방향 기입 동작(1030)의 경우 행 워드라인에 인가되는 전압의 세기가 VDD이다. 독출 동작에서 워드라인에 인가되는 전압의 세기를 기입 동작에서 워드라인에 인가되는 전압의 세기보다 작게 함으로써, 소비 전력이 감소하고 데이터 무결성(data integrity)이 확보될 수 있다.
- [0108] 트랜지스터의 게이트 단자에 인가되는 전압의 세기가 감소하면 소스 단자 및 드레인 단자 사이에 흐르는 전류의 세기도 감소하고, 트랜지스터에서 소비되는 전력이 감소한다. 기입 동작과 달리 독출 동작에서는, 워드라인에 VDD 대신 VDD/2가 인가됨에 따라 독출 전류의 세기가 감소하는 경우에도 독출 동작이 정상적으로 수행될 수 있다. 따라서 독출 동작(1010, 1020)의 경우 워드라인들(WL\_ROW0, WL\_COLO)에 VDD/2가 인가되고, 저항성 메모리 장치(100)가 소비하는 전력이 감소한다.
- [0109] 독출 동작 과정에서 MTJ 소자에 흐르는 독출 전류의 세기가 일정 수준 이상이 되는 경우 MTJ 소자에 저장된 데이터가 의도치 않게 변경될 수 있다. 따라서 독출 전류의 세기를 감소시킴으로써 데이터의 손상을 방지할 필요가 있다. 독출 동작(1010, 1020)의 경우 워드라인들(WL\_ROW0, WL\_COLO)에 VDD/2가 인가되고, 독출 전류의 세기가 감소함에 따라 데이터의 의도되지 않은 변경이 방지될 수 있다.
- [0110] 본 개시에 따른 저항성 메모리 장치(100)에서는, 일 예로서 VDD/2가 이용되었으나, 다른 예로서 0보다 크고 VDD보다 작은 다른 값이 이용될 수 있다.
- [0111] 도 11은 일부 실시예에 따른 저항성 메모리 장치의 다른 예를 나타내는 도면이다.
- [0112] 도 11을 참조하면, 도 2에 도시된 메모리 셀(110)의 구조와는 상이한 메모리 셀(1110)을 포함하는 저항성 메모리 장치(1100)가 도시된다. 메모리 셀(1110)은 2T-1R 구조로서 도 2의 메모리 셀(110)이 포함하는 소자들과 동일한 소자들을 포함한다. 다만 비트라인(1120)이 열 방향이 아닌 행 방향으로 배치되는 점 및 기입 드라이버(1150)가 행 소스라인(1130)이 아닌 열 소스라인(1140)에 연결된다는 점에서 도 2의 저항성 메모리 장치(100)는 도 11의 저항성 메모리 장치(1100)와 차이가 있다.
- [0113] 저항성 메모리 장치(1100)에서는 행 워드라인(WL\_ROW0)에 의해 선택되는 메모리 셀들이 비트라인(1120)을 공유한다. 따라서 저항성 메모리 장치(1100)에서는 행 방향 독출 및 기입 동작에서 비트라인 공유에 따른 특성이 나타난다. 예를 들면, 행 트랜지스터의 게이트가 열 트랜지스터의 게이트보다 큰 너비를 갖도록 설계될 수 있고, 행 소스라인에 음전압이 인가될 수 있다.
- [0114] 비트라인(1120)을 포함하는 복수의 비트라인들이 배치되는 방향 및 비트라인 공유에 따른 특성이 나타나는 방향을 제외하면, 도 2에 도시된 저항성 메모리 장치(100)에 대해 설명한 내용이 도 11에 도시된 저항성 메모리 장치(1100)에 대해 적용될 수 있음은 해당 기술분야의 통상의 지식을 가진 자라면 쉽게 이해할 수 있을 것이다.
- [0115] 도 12는 일부 실시예에 따른 저항성 메모리 장치를 포함하는 시스템의 구성을 나타내는 블록도이다.
- [0116] 도 12를 참조하면, 저항성 메모리 장치를 포함하는 시스템(1200)은 메모리 컨트롤러(1210), 저항성 메모리 장치(1220), 입출력부(1230) 및 프로세서(1240)를 포함할 수 있다. 도 12에 도시된 시스템(1200)에는 본 실시예와 관련된 구성요소들만이 도시되어 있다. 따라서 도 12에 도시된 구성 요소들 외에 다른 범용적인 구성 요소들이 시스템(1200)에 더 포함될 수 있음은 당업자에게 자명하다.
- [0117] 메모리 컨트롤러(1210)는 저항성 메모리 장치(1220)에 연결되고, 워드라인 전압 및 각종 제어 신호들을 저항성 메모리 장치(1220)에 인가하도록 구성될 수 있다.
- [0118] 저항성 메모리 장치(1220)는 도 1 내지 도 11의 저항성 메모리 장치(100 또는 1100)에 대응될 수 있다. 저항성 메모리 장치(100 또는 1100)에 관하여, 도 1 내지 도 11을 참조하여 설명한 내용과 동일한 내용은 도 12에서 생략될 것이다. 도 1 내지 도 11의 저항성 메모리 장치(100 또는 1100)가 수행하는 독출 및 기입 동작은 저항성 메모리 장치(1220)에서도 수행될 수 있다.



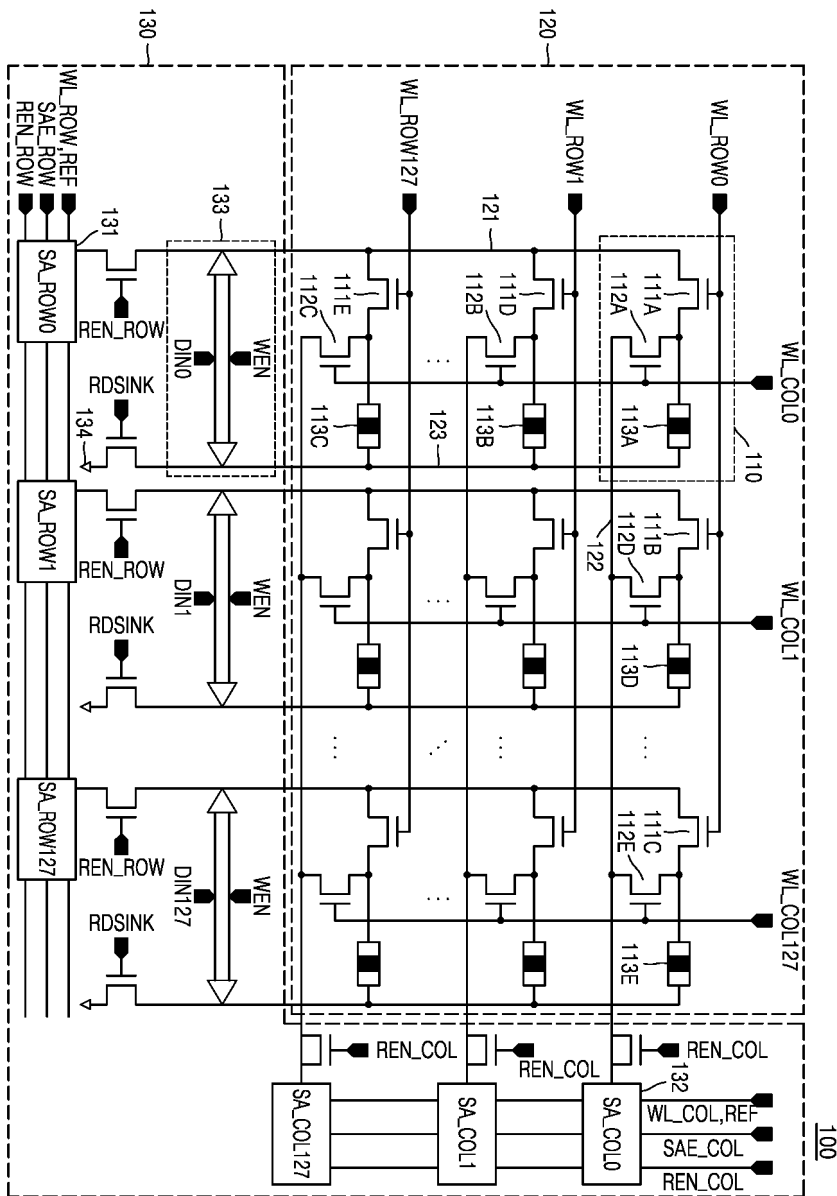
- [0119]     입출력부(1230)는 프로세서(1240)로부터 전송된 제어 신호를 저항성 메모리 장치(1220)에 입력할 수 있고, 저항성 메모리 장치(1220)로부터 전송된 데이터를 프로세서(1240)로 출력할 수 있다.
- [0120]     프로세서(1240)는 메모리 컨트롤러(1210) 및 입출력부(1230)로 제어 신호를 전송할 수 있고, 전송된 제어 신호에 기초하여, 저항성 메모리 장치(1220)에 대한 독출 및 기입 동작이 수행될 수 있다.
- [0121]     프로세서(1240)는 하나 또는 복수 개의 프로세서에 의해 구현될 수 있다. 예를 들어, 프로세서(1240)는 다수의 논리 게이트들의 어레이로 구현될 수 있고, 범용적인 마이크로 프로세서와 마이크로 프로세서에서 실행될 수 있는 프로그램이 저장된 메모리의 조합으로 구현될 수도 있다. 또한, 프로세서(1240)는 복수 개의 프로세싱 엘리먼트들(processing elements)로 구성될 수 있다.
- [0122]     저항성 메모리 장치(1220)를 포함하는 시스템(1200)은 양방향의 데이터에 대한 접근을 요구하는 시스템일 수 있다. 예를 들어, 시스템(1200)은 다량의 데이터를 독출하거나 기입할 것이 요구되는 뉴로모픽 시스템 또는 고효율 영상처리 시스템 등일 수 있다.
- [0123]     일 예에서, 저항성 메모리 장치를 포함하는 시스템(1200)이 뉴로모픽 시스템인 경우, 시스템(1200)은 하드웨어를 이용하여 생물학적 신경망 구조를 모방함으로써 인간의 두뇌를 모사할 수 있다. 저항성 메모리 장치(1220)는 시냅스 회로일 수 있고, 입출력부(1230)는 프리 시냅틱 뉴런(pre-synaptic neuron) 및 포스트 시냅틱 뉴런(post-synaptic neuron)일 수 있다.
- [0124]     시스템(1200)은 양방향 신경망을 필요로 하는 알고리즘을 이용해 학습을 수행할 수 있다. 예를 들어, 시스템(1200)은 제한 볼츠만 머신(restricted Boltzmann machine) 방식으로 딥 러닝(deep learning)을 수행할 수 있다.
- [0125]     시스템(1200)을 구성하는 메모리 컨트롤러(1210), 저항성 메모리 장치(1220), 입출력부(1230) 및 프로세서(1240)는 하나의 칩(chip)으로 구현될 수 있다. 하나의 칩 상에서 시스템(1200)에 의하여 학습 및 추론(inference)이 모두 수행되는 시스템 온 칩(system on chip)이 구현될 수 있다. 또한, 칩에 실장(mount)된 시스템(1200)이 양방향 신경망을 필요로 하는 알고리즘을 이용해 학습을 수행함에 따라, 온 칩 학습(on-chip learning)이 구현될 수 있다.
- [0126]     저항성 메모리 장치(1220)가 전치 가능한 독출 및 기입 동작을 수행함에 따라, 동작 속도 및 소비 전력의 측면에서 저항성 메모리 장치(1220)가 수행하는 독출 및 기입 동작이 높은 효율을 달성할 수 있다. 시스템(1200)이 높은 효율을 갖는 저항성 메모리 장치(1220)를 채용함으로써, 다량의 데이터에 대한 독출 및 기입 동작을 요하는 뉴로모픽 시스템이 구현될 수 있다.
- [0127]     다만, 본 개시에 따른 뉴로모픽 시스템은 시스템(1200)의 예시에 불과할 뿐, 이에 한정되는 것은 아니다. 시스템(1200)은 양방향의 데이터에 대한 접근을 요하는 다른 시스템일 수 있다.
- [0128]     이상에서 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속한다.

도면

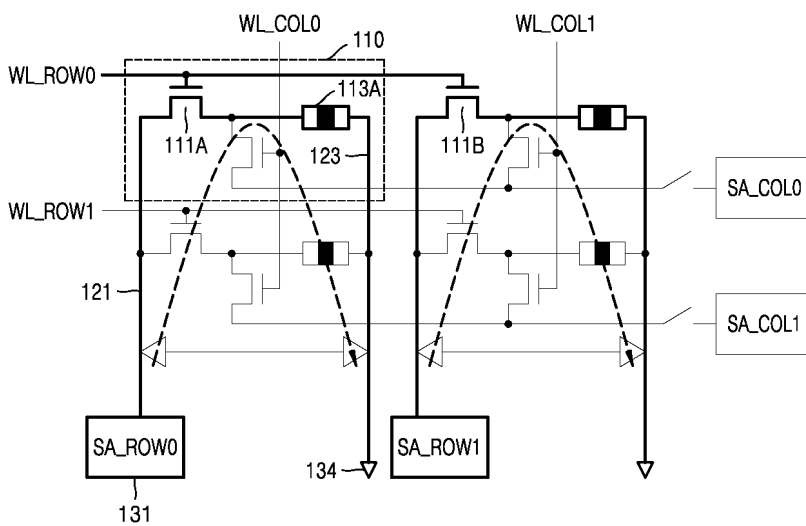
도면1



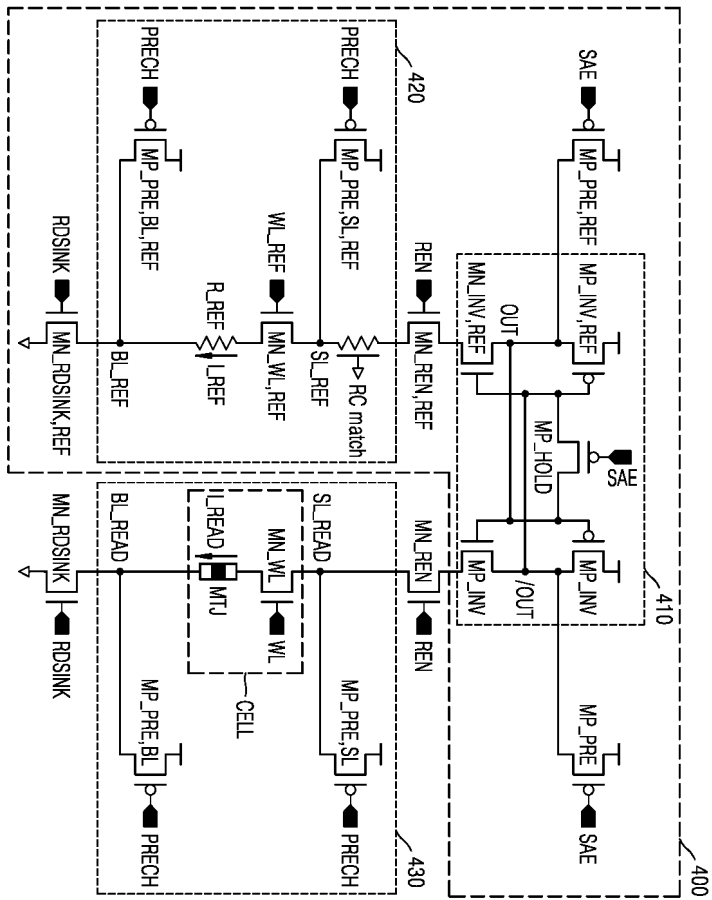
도면2



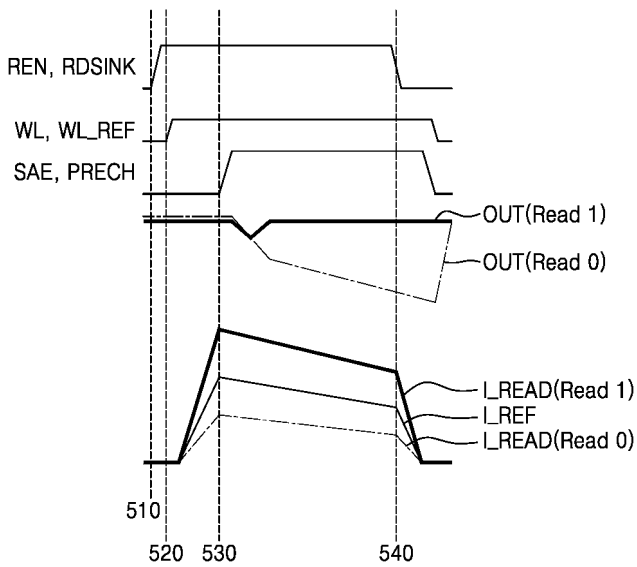
도면3



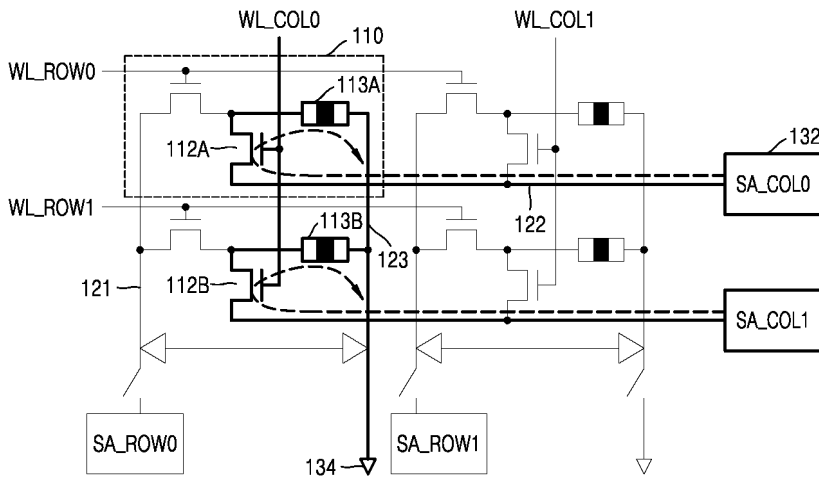
도면4



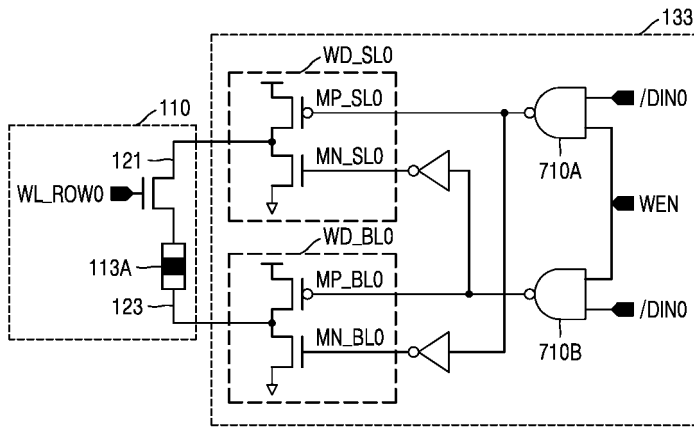
도면5



도면6



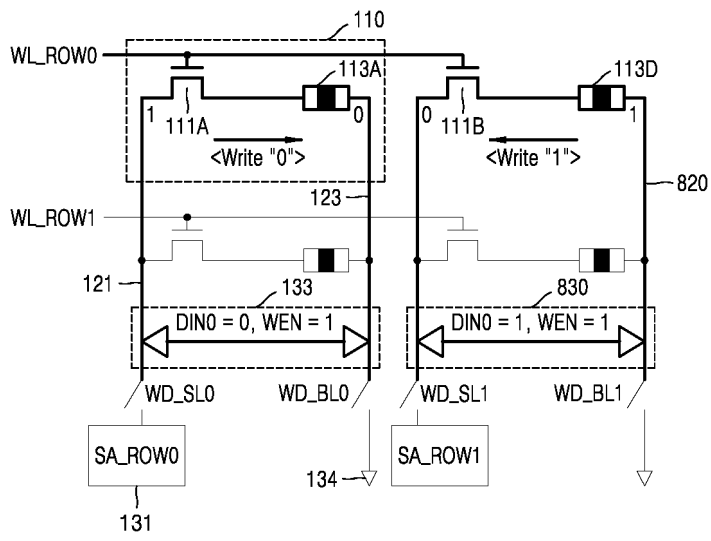
도면7



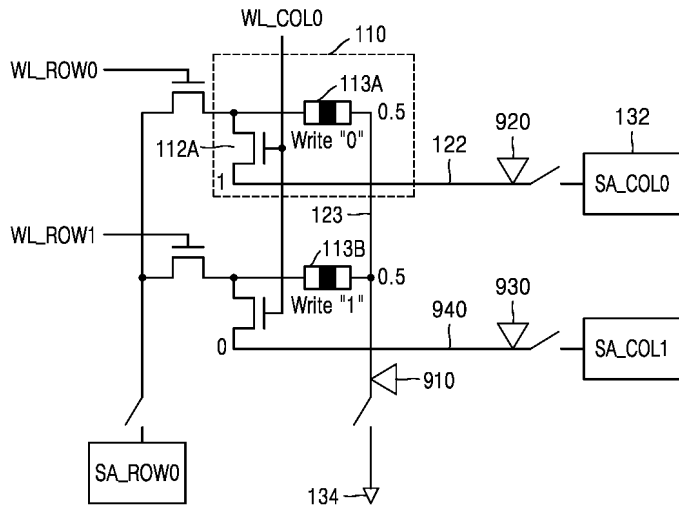
720

Operation	WEN	DINO	/DINO	MP_SLO	MN_SLO	MP_BLO	MN_BLO	SL	BL
No Write	0	X	X	1	0	1	0	X	X
Write "0"	1	0	1	0	0	1	1	1	0
Write "1"		1	0	1	1	0	0	0	1

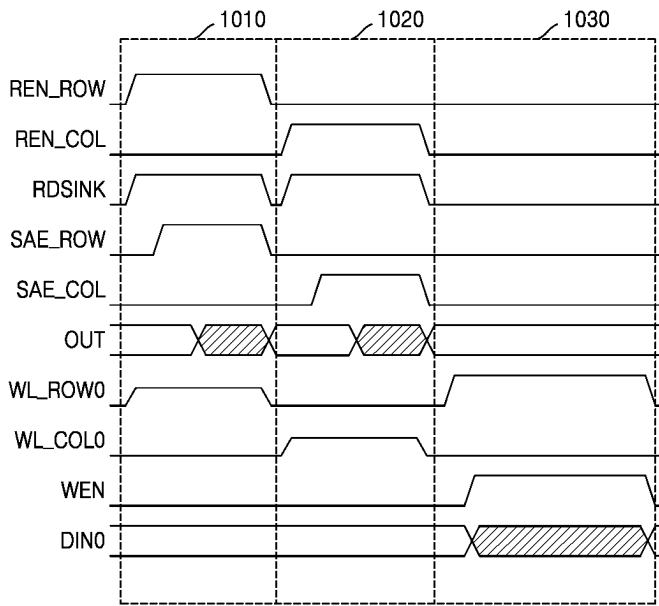
도면8



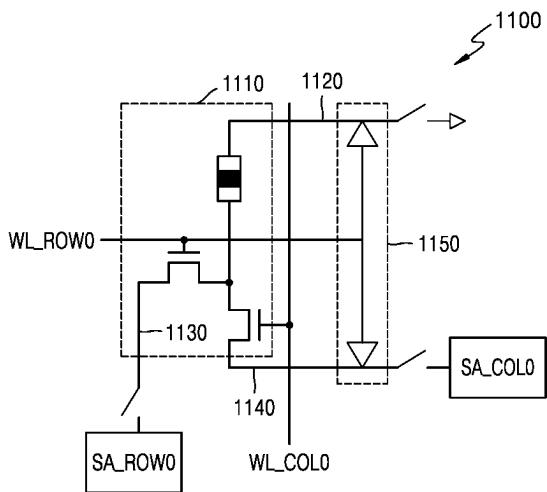
도면9



도면10



도면11



도면12

