



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0164442
(43) 공개일자 2023년12월04일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2023.01) H10B 63/00 (2023.01)
H10N 70/00 (2023.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
H10B 63/24 (2023.02)
(21) 출원번호 10-2022-0064198
(22) 출원일자 2022년05월25일
심사청구일자 2022년05월25일

(71) 출원인
포항공과대학교 산학협력단
경상북도 포항시 남구 청암로 77 (지곡동)
(72) 발명자
황현상
경상북도 포항시 남구 청암로 77 (지곡동, 포항공과대학교)
김동민
경상북도 포항시 남구 청암로 77 (지곡동, 포항공과대학교)
(74) 대리인
박기갑

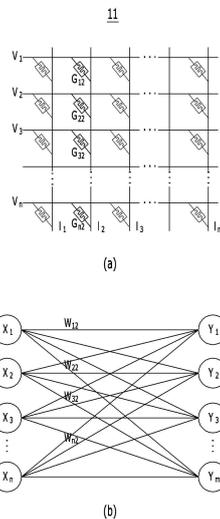
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템

(57) 요약

셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템이 개시되며, 본원의 일 실시예에 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치는, 하드웨어 기반의 인공 신경망의 비트 라인에 배치되고, 상기 비트 라인으로 흐르는 대상 전류를 선택적으로 상기 인공 신경망을 이루는 소정의 뉴런 또는 접지 노드로 흐르도록 구비되는 스위치부 및 인가되는 구동 전압과 문턱 전압의 대소 관계에 따라 턴온(Turn On)되거나 턴오프(Turn Off)되어 상기 스위치부를 제어하는 셀렉터 소자를 포함하는 구동부를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

H10N 70/231 (2023.02)

H10N 70/821 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711155825
과제번호	2018R1A3B1052693
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	단원자 기반 초저전력 IoT용 통합 소자(2-terminal memoy, switch, battey)개발
기여율	1/1
과제수행기관명	포항공과대학교
연구기간	2022.03.01 ~ 2023.02.28

명세서

청구범위

청구항 1

셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치에 있어서,
 하드웨어 기반의 인공 신경망의 비트 라인에 배치되고, 상기 비트 라인으로 흐르는 대상 전류를 선택적으로 상기 인공 신경망을 이루는 소정의 뉴런 또는 접지 노드로 흐르도록 구비되는 스위치부; 및
 인가되는 구동 전압과 문턱 전압의 대소 관계에 따라 턴온(Turn On)되거나 턴오프(Turn Off)되어 상기 스위치부를 제어하는 셀렉터 소자를 포함하는 구동부,
 를 포함하는, 드롭아웃 구현 장치.

청구항 2

제1항에 있어서,
 상기 셀렉터 소자와 연계된 상기 문턱 전압이 변동하는 것을 특징으로 하는, 드롭아웃 구현 장치.

청구항 3

제2항에 있어서,
 상기 셀렉터 소자가 소정의 확률로 턴온되거나 턴오프됨으로써, 상기 구동 전압의 인가 시마다 상기 소정의 확률에 대응하여 상기 소정의 뉴런 또는 상기 접지 노드로 상기 대상 전류가 선택적으로 인가되는 것을 특징으로 하는, 드롭아웃 구현 장치.

청구항 4

제2항에 있어서,
 상기 스위치부는,
 상기 셀렉터 소자의 출력 노드와 게이트 단자가 연결되고, 상기 대상 전류가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 상기 접지 노드에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되는 제1트랜지스터; 및
 상기 출력 노드와 게이트 단자가 연결되고, 상기 대상 전류가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 상기 소정의 뉴런에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되는 제2트랜지스터,
 를 포함하는 것인, 드롭아웃 구현 장치.

청구항 5

제4항에 있어서,
 상기 제1트랜지스터는 NMOS 트랜지스터이고,
 상기 제2트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는, 드롭아웃 구현 장치.

청구항 6

제4항에 있어서,
 상기 셀렉터 소자의 입력 노드로 상기 구동 전압이 인가되고,
 상기 구동부는,
 상기 셀렉터 소자와 상기 접지 노드 사이에 배치되고, 상기 셀렉터 소자와 직렬 연결되는 저항 소자,

를 더 포함하는 것인, 드롭아웃 구현 장치.

청구항 7

제6항에 있어서,

상기 구동 전압이 상기 문턱 전압보다 작으면, 상기 셀렉터 소자가 턴오프되어 상기 저항 소자로 전류가 흐르지 않고,

상기 구동 전압이 상기 문턱 전압보다 크면, 상기 셀렉터 소자가 턴온되어 상기 저항 소자에는 상기 제1트랜지스터의 임계 전압보다 큰 전압이 인가되는 것인, 드롭아웃 구현 장치.

청구항 8

제1항에 있어서,

상기 구동부는,

상기 문턱 전압의 변동 패턴과 연계된 통계 데이터 및 미리 설정된 드롭아웃 비율에 기초하여 상기 셀렉터 소자로 인가되는 상기 구동 전압의 크기를 결정하는 것인, 드롭아웃 구현 장치.

청구항 9

제1항에 있어서,

상기 드롭아웃 구현 장치는,

상기 인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행 및 복수의 열을 포함하는 구조를 가지는 크로스바 어레이에 대하여, 상기 복수의 열 각각에 대응하여 배치되는 것인, 드롭아웃 구현 장치.

청구항 10

제1항에 있어서,

상기 셀렉터 소자는,

오보닉 문턱 스위치(Ovonic Threshold Switch) 선택 소자인 것을 특징으로 하는, 드롭아웃 구현 장치.

청구항 11

제10항에 있어서,

상기 오보닉 문턱 스위치 선택 소자는,

하단 텅스텐 전극, OTS 필름, 버퍼 레이어 및 상단 텅스텐 전극을 포함하는 계층 구조로 구비되는 것인, 드롭아웃 구현 장치.

청구항 12

제1항에 있어서,

상기 대상 전류는 상기 인공 신경망을 이루는 복수의 뉴런 중에서 상기 소정의 뉴런 대비 선행하여 연산되는 이전 뉴런의 연산 결과에 대응하는 것인, 드롭아웃 구현 장치.

청구항 13

제12항에 있어서,

상기 인공 신경망의 학습 시의 특정 에포크(Epoch)에서 상기 대상 전류가 상기 접지 노드로 흐르도록 상기 스위치부가 제어되면, 상기 소정의 뉴런은 해당 에포크에서 상기 인공 신경망의 학습에 미관여하는 것인, 드롭아웃 구현 장치.

청구항 14

셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치를 이용한 신경망 회로 시스템에

있어서,

인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행 및 복수의 열을 포함하는 구조를 가지는 크로스바 어레이; 및

상기 복수의 열 각각에 대응하여 배치되는 복수 개의 제1행에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치,

를 포함하는, 신경망 회로 시스템.

발명의 설명

기술 분야

[0001] 본원은 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템에 관한 것이다.

배경 기술

[0002] 인공 신경망(Artificial Neural Network) 모델은 생물학의 신경망에서 영감을 받아 개발된 통계학적 학습 모델로서, 여러 개의 레이어들과 각 레이어를 구성하는 뉴런들이 형성하는 네트워크가 학습을 통하여 문제 해결 능력을 가지는 모델을 말한다. 인공신경망의 간단한 모델은 잘 알려진 것처럼 모든 레이어가 다중 뉴런을 가질 때, 입력 레이어, 출력 레이어, 그리고 하나 또는 여러 개의 히든 레이어를 포함하며, 뉴런 간의 각 연결 정보를 가중치와 바이어스의 형태로 바뀌어 저장된다.

[0003] 최근, 인공 신경망을 기반으로 하는 딥 러닝(Deep Learning) 기술은 복수의 히든 레이어(Hidden Layer)들과 비선형 변환을 이용한 높은 수준의 추상화를 통해 복잡한 구조의 문제나 데이터에 대해서 학습을 시도하고 있다. 이런 심층 신경망(Deep Neural Network)을 기반으로 하는 딥 러닝 기술은 매우 강력한 기계 학습 기법으로 평가되나, 다수의 히든 레이어들을 사용함에 따라, 학습해야 하는 파라미터의 수가 많아져서 그만큼 학습시간을 많이 필요로 한다. 또한, 인공 신경망이 입력된 훈련 데이터에 과도하게 편중되어 학습 결과가 일반성을 잃는 과적합 문제가 발생하기도 한다.

[0004] 이러한 과적합 문제를 해결하기 위해 학습과정 동안 노드(뉴런)들을 임의로 비활성화 시키는 드롭아웃(Dropout) 기술이 개발되어 사용되고 있다. 노드들을 비활성화 시키는 드롭아웃은 훈련(학습) 단계에서 사용되는 가중치 행렬의 일부 값들을 0으로 변경시키는 것이다. 이러한 드롭아웃 기술이 적용된 행렬에서 다수의 행렬 요소들이 0으로 변환된다. 이와 관련하여, 도 1a는 드롭아웃이 적용되지 않은 신경망과 드롭아웃이 적용된 신경망을 비교하여 나타낸 개념도이다.

[0005] 도 1a의 (b)를 참조하면, 드롭아웃이 미적용된 상태의 도 1a의 (a)에 도시된 신경망에 대비 드롭아웃 적용에 의해 신경망이 얇아진 상태를 나타내며, 종래의 드롭아웃 기법은 노드(유닛)를 무작위로 선택하여 해당 레이어에서 일시적으로 제거하도록 적용될 수 있다.

[0006] 또한, 도 1b는 인공 신경망의 학습 과정에서 드롭아웃이 적용된 상태를 각각의 에포크마다 나타낸 개념도이며, 도 1b를 참조하면, 학습 과정에서 각 에포크에 대하여 드롭아웃을 적용함으로써 다수의 얇은 네트워크가 생성될 수 있음을 확인할 수 있다.

[0007] 그러나, 앞서 상세히 설명한 인공신경망 네트워크에서 오버피팅을 방지하기 위해 사용하는 정규화 테크닉인 드롭아웃을 소자 기반의 하드웨어를 이용하여 구현하는 기법에 대한 개발은 미비한 실정이다.

[0008] 본원의 배경이 되는 기술은 한국등록특허공보 제10-2134339호에 개시되어 있다.

발명의 내용

해결하려는 과제

[0009] 본원은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 인공 신경망의 오버피팅을 방지하기 위해 적용되는 정규화 기법인 드롭아웃(Dropout)을 소자 기반의 하드웨어 방식으로 구현한 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템을 제공하려는 것을 목적으로 한다.

[0010] 다만, 본원의 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0011] 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 일 실시예에 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치는, 하드웨어 기반의 인공 신경망의 비트 라인에 배치되고, 상기 비트 라인으로 흐르는 대상 전류를 선택적으로 상기 인공 신경망을 이루는 소정의 뉴런 또는 접지 노드로 흐르도록 구비되는 스위치부 및 인가되는 구동 전압과 문턱 전압의 대소 관계에 따라 턴온(Turn On)되거나 턴오프(Turn Off)되어 상기 스위치부를 제어하는 셀렉터 소자를 포함하는 구동부를 포함할 수 있다.

[0012] 또한, 상기 셀렉터 소자와 연계된 상기 문턱 전압이 변동할 수 있다.

[0013] 또한, 상기 셀렉터 소자가 소정의 확률로 턴온되거나 턴오프됨으로써, 상기 구동 전압의 인가 시마다 상기 소정의 확률에 대응하여 상기 소정의 뉴런 또는 상기 접지 노드로 상기 대상 전류가 선택적으로 인가될 수 있다.

[0014] 또한, 상기 스위치부는, 상기 셀렉터 소자의 출력 노드와 게이트 단자가 연결되고, 상기 대상 전류가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 상기 접지 노드에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되는 제1트랜지스터 및 상기 출력 노드와 게이트 단자가 연결되고, 상기 대상 전류가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 상기 소정의 뉴런에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되는 제2트랜지스터를 포함할 수 있다.

[0015] 또한, 상기 제1트랜지스터는 NMOS 트랜지스터이고, 상기 제2트랜지스터는 PMOS 트랜지스터일 수 있다.

[0016] 또한, 상기 셀렉터 소자의 입력 노드로 상기 구동 전압이 인가되는 것일 수 있다.

[0017] 또한, 상기 구동부는, 상기 셀렉터 소자와 상기 접지 노드 사이에 배치되고, 상기 셀렉터 소자와 직렬 연결되는 저항 소자를 포함할 수 있다.

[0018] 또한, 상기 구동 전압이 상기 문턱 전압보다 작으면, 상기 셀렉터 소자가 턴오프되어 상기 저항 소자로 전류가 흐르지 않을 수 있다.

[0019] 또한, 상기 구동 전압이 상기 문턱 전압보다 크면, 상기 셀렉터 소자가 턴온되어 상기 저항 소자에는 상기 제1트랜지스터의 임계 전압보다 큰 전압이 인가될 수 있다.

[0020] 또한, 상기 구동부는, 상기 문턱 전압의 변동 패턴과 연계된 통계 데이터 및 미리 설정된 드롭아웃 비율에 기초하여 상기 셀렉터 소자로 인가되는 상기 구동 전압의 크기를 결정할 수 있다.

[0021] 또한, 상기 드롭아웃 구현 장치는, 상기 인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행 및 복수의 열을 포함하는 구조를 가지는 크로스바 어레이에 대하여, 상기 복수의 열 각각에 대응하여 배치될 수 있다.

[0022] 또한, 상기 셀렉터 소자는, 오보닉 문턱 스위치(Ovonic Threshold Switch) 선택 소자일 수 있다.

[0023] 또한, 상기 오보닉 문턱 스위치 선택 소자는, 하단 텅스텐 전극, OTS 필름, 버퍼 레이어 및 상단 텅스텐 전극을 포함하는 계층 구조로 구비될 수 있다.

[0024] 또한, 상기 대상 전류는 상기 인공 신경망을 이루는 복수의 뉴런 중에서 상기 소정의 뉴런 대비 선행하여 연산되는 이전 뉴런의 연산 결과에 대응할 수 있다.

[0025] 또한, 상기 인공 신경망의 학습 시의 특정 에포크(Epoch)에서 상기 대상 전류가 상기 접지 노드로 흐르도록 상기 스위치부가 제어되면, 상기 소정의 뉴런은 해당 에포크에서 상기 인공 신경망의 학습에 미관여할 수 있다.

[0026] 한편, 본원의 일 실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치를 이용한 신경망 회로 시스템은, 인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행 및 복수의 열을 포함하는 구조를 가지는 크로스바 어레이 및 상기 복수의 열 각각에 대응하여 배치되는 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치를 복수 개 포함할 수 있다.

[0027] 상술한 과제 해결 수단은 단지 예시적인 것으로서, 본원을 제한하려는 의도로 해석되지 않아야 한다. 상술한 예시적인 실시예 외에도, 도면 및 발명의 상세한 설명에 추가적인 실시예가 존재할 수 있다.

발명의 효과

- [0028] 전술한 본원의 과제 해결 수단에 의하면, 인공 신경망의 오버피팅을 방지하기 위해 적용되는 정규화 기법인 드롭아웃(Dropout)을 소자 기반의 하드웨어 방식으로 구현한 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템을 제공할 수 있다.
- [0029] 전술한 본원의 과제 해결 수단에 의하면, 크로스바 어레이의 비트 라인에 위치해 뉴런 회로로 인가되는 전류를 조절함으로써 인공 신경망을 이루는 특정 뉴런을 임의로 키거나 끌 수 있어, 저장 메모리 어레이 기반의 뉴로모픽 하드웨어에 적용 가능한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템을 제공할 수 있다.
- [0030] 전술한 본원의 과제 해결 수단에 의하면, 한정적인 데이터로 학습을 수행해야 하는 엣지 컴퓨팅 환경에서부터 자율주행, 영상처리, 스마트 팩토리 구현 등과 같은 크기가 크고 복잡한 인공 신경망을 사용하는 기술들에 대하여 드롭아웃을 적용할 수 있는 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템을 제공할 수 있다.
- [0031] 전술한 본원의 과제 해결 수단에 의하면, 셀렉터 소자 및 두 개의 트랜지스터를 통해 하드웨어 기반 드롭아웃을 구현함으로써 전력 효율이 뛰어나는 뿐만 아니라, 호스트 컴퓨터나 외부 회로와의 통신이 불필요한 온칩(On-Chip) 동작이 가능해질 수 있다.
- [0032] 다만, 본원에서 얻을 수 있는 효과는 상기된 바와 같은 효과들로 한정되지 않으며, 또 다른 효과들이 존재할 수 있다.

도면의 간단한 설명

- [0033] 도 1a는 드롭아웃이 적용되지 않은 신경망과 드롭아웃이 적용된 신경망을 비교하여 나타낸 개념도이다.
- 도 1b는 인공 신경망의 학습 과정에서 드롭아웃이 적용된 상태를 각각의 에포크마다 나타낸 개념도이다.
- 도 2는 본원의 일 실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치를 적용할 수 있는 신경망 회로 시스템의 개략적인 구성도이다.
- 도 3a는 본원의 제1실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 개략적인 구성도이다.
- 도 3b는 본원의 제2실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 개략적인 구성도이다.
- 도 4a 내지 도 4c는 본원의 일 실시예에 따른 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 셀렉터 소자의 동작 특성을 설명하기 위한 도면이다.
- 도 5는 오보닉 문턱 스위치(Ovonic Threshold Switch) 선택 소자의 구조를 나타낸 도면이다.
- 도 6은 오버피팅이 발생한 신경망의 학습 오차와 테스트 오차의 개형을 비교하여 나타낸 도면이다.
- 도 7은 학습 데이터의 수의 변화에 따른 과적합 발생 정도를 상대적으로 비교하여 나타낸 그래프이다.
- 도 8은 드롭아웃을 적용한 신경망과 드롭아웃을 미적용한 신경망의 성능 차이를 비교하여 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0035] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결" 또는 "간접적으로 연결"되어 있는 경우도 포함한다.
- [0036] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에", "상부에", "상단에", "하에", "하부에", "하단에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

- [0037] 본원 명세서 전체에서, 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0038] 본원은 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치 및 이를 이용한 신경망 회로 시스템에 관한 것이다.
- [0039] 도 2는 본원의 일 실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치를 적용할 수 있는 신경망 회로 시스템의 개략적인 구성도이다.
- [0040] 도 2를 참조하면, 본원의 일 실시예에 따른 신경망 회로 시스템은 크로스바 어레이(11) 및 본원의 일 실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치(100)(이하, '드롭아웃 구현 장치(100)'라 한다.)를 포함할 수 있다. 또한, 도 2를 참조하면, 본원의 일 실시예에 따른 신경망 회로 시스템은 크로스바 어레이의 복수의 열 각각에 대응하여 배치되는 복수 개의 드롭아웃 구현 장치(100)를 포함할 수 있다.
- [0041] 보다 구체적으로, 본원에서 개시하는 신경망 회로 시스템의 크로스바 어레이(11)는 인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행(도 2의 n개의 행) 및 복수의 열(도 2의 m개의 열)을 포함하는 구조로 구비될 수 있으며, 이에 대응하여 드롭아웃 구현 장치(100)는 크로스바 어레이(11) 구조를 가지는 하드웨어 기반의 인공 신경망의 비트 라인(Bit line) 각각에 배치될 수 있다. 또한, 각각의 드롭아웃 구현 장치(100)는 비트 라인으로 흐르는 대상 전류(도 2의 I_1 내지 I_m)를 해당 인공 신경망을 이루는 소정의 뉴런 또는 접지 노드로 선택적으로 흐르도록 할 수 있다.
- [0042] 달리 말해, 본원에서 개시하는 드롭아웃 구현 장치(100)는 크로스바 어레이(11)의 비트 라인 각각에 위치하여 뉴런 회로로 들어가는 전류(대상 전류)를 조절함으로써 인공 신경망을 이루는 뉴런을 랜덤하게 켜거나 끄는 동작을 수행할 수 있다. 즉, 드롭아웃 구현 장치(100)는 크로스바 어레이(11)에서 인공 신경망을 이루는 각각의 뉴런에 대응하는 비트 라인에 배치되어 해당 크로스바 어레이(11)와 해당 뉴런의 다음 뉴런 회로 사이의 노드를 형성하고, 형성된 노드로 전류가 선택적으로 흐르도록 하는 방식으로 드롭아웃을 구현할 수 있으며, 이하에서 상세히 설명하는 바와 같이 드롭아웃 구현 장치(100)는 형성된 노드와 연계된 경로(갈림길)를 CMOS 인버터 작동 방식을 기반으로 조절하도록 동작할 수 있다.
- [0043] 또한, 도 2의 (b)를 참조하면, 인공 신경망에 포함된 각각의 가중치(Weight)는 도 2의 (a)의 크로스바 어레이(11)에 포함된 시냅스 소자의 컨덕턴스(Conductance, G) 값에 각각 대응하며, 크로스바 어레이(11)에 입력 전압(V_1 내지 V_n)을 인가하면, 옴의 법칙에 따라 입력 전압이 전류로 변환되고, 키르히호프 법칙에 의해 동일한 열의 전류들이 합쳐져서 다음 뉴런(post-neuron) 소자의 입력으로 인가되게 된다. 이와 관련하여, 본원에서 개시하는 드롭아웃 구현 장치(100)는 크로스바 어레이(11)를 이루는 각각의 열에 대하여 배치되어, 해당 열에서 합쳐진 전류가 선택적으로 접지 노드로 흐르도록 하여 다음 뉴런(post-neuron) 소자의 입력이 0이 되도록 하여 다음 뉴런이 꺼짐으로써 인공 신경망의 학습 과정에서 해당 에포크(Epoch)에 대하여 생략되도록 할 수 있다.
- [0044] 종합하면, 드롭아웃 구현 장치(100)는 인공 신경망을 이루는 복수의 뉴런에 대응하도록 복수의 행 및 복수의 열을 포함하는 구조를 가지는 크로스바 어레이(11)에 대하여, 복수의 열 각각에 대응하여 배치될 수 있으며, 이때 각각의 드롭아웃 구현 장치(100)로 인가되는 대상 전류(I)는 인공 신경망을 이루는 복수의 뉴런 중에서 소정의 뉴런 대비 선행하여 연산되는 이전 뉴런의 연산 결과에 대응하는 것일 수 있다.
- [0045] 이하에서는, 도 3a 내지 도 5를 참조하여 드롭아웃 구현 장치(100)의 구체적인 기능 및 동작에 대해 설명하도록 한다.
- [0046] 도 3a는 본원의 제1실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 개략적인 구성도이고, 도 3b는 본원의 제2실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 개략적인 구성도이다.
- [0047] 도 3a 및 도 3b를 참조하면, 드롭아웃 구현 장치(100)는 스위치부(110) 및 구동부(120)를 포함할 수 있다. 구체적으로, 스위치부(110)는 하드웨어 기반의 인공 신경망의 비트 라인에 배치되고, 비트 라인으로 흐르는 대상 전류(I)를 선택적으로 인공 신경망을 이루는 소정의 뉴런 또는 접지 노드로 흐르도록 구비될 수 있다.
- [0048] 보다 구체적으로, 스위치부(110)를 통해 소정의 뉴런으로 대상 전류가 흐르는 경우는, 전술한 소정의 뉴런 대비 선행하여 연산되는 이전 뉴런의 연산 결과에 대응하도록 크로스바 어레이(11)를 이루는 하나의 열에서 합쳐진 전류인 대상 전류(I)가 드롭아웃 스위치가 Off됨에 따라 도 3a 및 도 3b에 도시된 ADC를 향하여 흐르면서 소정

의 뉴런으로 인가되는 것이며, 반대로, 드롭아웃 스위치가 On되는 경우에는 크로스바 어레이(11)를 이루는 하나의 열에서 합쳐진 전류인 대상 전류(I)가 도 3a 및 도 3b에 도시된 접지 노드(∇)를 향하여 흐르게 되어 소정의 뉴런으로 미인가되는 것일 수 있다.

[0049] 도 3a에서 셀렉터 소자(121)가 턴온되면, 저항 소자(122)로 전류가 흐르게 되고, 셀렉터 소자(121)의 출력 노드(N)에 NMOS 트랜지스터인 제1트랜지스터(111)의 문턱 전압 이상의 전압이 가해지면서 제1트랜지스터(111)가 켜지게 될 수 있으며, 제1트랜지스터(111)가 켜짐에 따라 대상 전류가 접지 노드(∇)로 흐르게 될 수 있다. 이때, 대상 전류가 접지 노드로 흐르게 되면, ADC로 흐르는 전류는 0이 되므로 이후 뉴런(소정의 뉴런)의 입력 값이 0이 되어서 해당 에포크(Epoch)에서 해당 소정의 뉴런은 OFF 상태가 되며, 이러한 동작 상태를 '드롭아웃 스위치가 On이 된 상태'로 정의할 수 있다. 이와 대비하여, 셀렉터 소자(121)가 턴오프되어 저항 소자(122)로 전류가 흐르지 않고, 셀렉터 소자(121)의 출력 노드(N)에 NMOS 트랜지스터인 제1트랜지스터(111)의 문턱 전압 이하의 전압이 가해지면, 제1트랜지스터(111)는 켜지지 않고, 제2트랜지스터(122)가 켜지게 될 수 있으며, 이에 따라 대상 전류가 ADC를 향하여 흐르게 되고, 이러한 동작 상태는 '드롭아웃 스위치가 Off된 상태'로 정의될 수 있다.

[0050] 마찬가지로, 도 3b에서 셀렉터 소자(121)가 턴온되면, 저항으로 전류가 흐르게 되고, 셀렉터 소자(121)의 출력 노드(N)에 NMOS의 문턱 전압 이상의 전압이 가해지면서 NMOS가 켜지게 될 수 있고, 이에 따라 대상 전류는 ADC 쪽으로 흐를 수 있으며, 이러한 동작 상태를 마찬가지로 '드롭아웃 스위치가 Off된 상태'로 정의할 수 있으며, 반대로 셀렉터 소자(121)가 턴오프되면, 저항으로 전류가 흐르지 않고, 셀렉터 소자(121)의 출력 노드(N)에 NMOS의 문턱 전압 이하의 전압이 가해지면서 NMOS는 켜지지 않고, PMOS가 켜지게 되면서 대상 전류가 ADC 쪽으로 흐르지 않고 접지노드(∇)를 향하여 흐를 수 있으며, 대상 전류가 접지노드로 흐르게 되면 ADC로 흐르는 전류는 0이 되므로 이후 뉴런(소정의 뉴런)의 입력 값이 0이 되어서 해당 에포크에서 소정의 뉴런은 Off 상태가 될 수 있다(드롭아웃 스위치가 On이 된 상태).

[0051] 결론적으로, 대상 전류가 ADC로 흐르지 않고 접지노드 쪽으로 흐르는 상황을 '드롭아웃 스위치가 On되었다'고 지칭할 수 있고, 대상 전류가 ADC 쪽으로 흐르는 상황을 '드롭아웃 스위치가 Off되었다'고 지칭할 수 있다.

[0052] 달리 말해, 크로스바 어레이(11)를 이용한 인공 신경망의 학습 시의 특정 에포크(Epoch)에서 대상 전류(I)가 접지 노드로 흐르도록 스위치부(110)가 제어되면, 이전 뉴런 다음의 소정의 뉴런은 해당 에포크에서 인공 신경망의 학습에 미관여하는 것일 수 있다.

[0053] 또한, 도 3a 및 도 3b를 참조하면, 스위치부(110)는 제1트랜지스터(111) 및 제2트랜지스터(112)를 포함할 수 있다. 구체적으로, 제1트랜지스터(111)는 구동부(120)의 셀렉터 소자(121)의 출력 노드(N)와 게이트 단자가 연결되고, 대상 전류(I)가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 접지 노드에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되도록 배치될 수 있다. 또한, 제2트랜지스터(112)는 구동부(120)의 셀렉터 소자(121)의 출력 노드(N)와 게이트 단자가 연결되고, 대상 전류가 인가되는 노드에 드레인 단자 및 소스 단자 중 어느 하나가 연결되고, 소정의 뉴런에 드레인 단자 및 소스 단자 중 나머지 하나가 연결되도록 배치될 수 있다.

[0054] 보다 구체적으로 도 3a를 참조하여 예시하면, 본원의 제1실시예에 따르면, 제1트랜지스터(111)는 NMOS 트랜지스터 유형이고, 제2트랜지스터(112)는 PMOS 트랜지스터 유형이되, 제1트랜지스터(111)의 드레인 단자(도 3a 기준 상측에 도시된 단자)는 대상 전류(I)가 인가되는 노드와 연결되고, 소스 단자(도 3a 기준 하측에 도시된 단자)가 접지 노드에 연결될 수 있으며, 제2트랜지스터(112)의 소스 단자(도 3a 기준 상측에 도시된 단자)는 대상 전류(I)가 인가되는 노드와 연결되고, 드레인 단자(도 3a 기준 하측에 도시된 단자)가 ADC로 연결되어 대상 전류가 소정의 뉴런으로 흐르게 되는 것일 수 있다.

[0055] 다만, 이에만 한정되는 것은 아니며, 도 3b를 참조하면, 본원의 제2실시예에 따르면, 제1트랜지스터(111)가 PMOS 트랜지스터 유형이고, 제2트랜지스터(112)가 NMOS 트랜지스터 유형이되, 제1트랜지스터(111)의 소스 단자(도 3b 기준 상측에 도시된 단자)는 대상 전류(I)가 인가되는 노드와 연결되고, 드레인 단자(도 3b 기준 하측에 도시된 단자)가 접지 노드에 연결될 수 있으며, 제2트랜지스터(112)의 드레인 단자(도 3b 기준 상측에 도시된 단자)는 대상 전류(I)가 인가되는 노드와 연결되고, 소스 단자(도 3b 기준 하측에 도시된 단자)가 ADC로 연결되어 대상 전류가 소정의 뉴런으로 흐르게 되는 것일 수 있다.

[0056] 또한, 도 3a 및 도 3b를 참조하면, 구동부(120)는 인가되는 구동 전압(V_{op})과 문턱 전압(V_{th})의 대소 관계에 따라 턴온(Turn On)되거나 턴오프(Turn Off)되어 스위치부(110)를 제어하는 셀렉터 소자(121)를 포함할 수 있다.

또한, 도 3a 및 도 3b를 참조하면, 셀렉터 소자(121)는 구동 전압(V_{op})이 인가되는 입력 노드와 출력 노드를 포함하는 2단자 구조의 소자일 수 있다.

[0057] 또한, 도 3a에 도시된 바와 같이 본원의 제1실시예에 따르면, 구동부(120)는 셀렉터 소자(121)와 접지 노드 사이에 배치되고, 셀렉터 소자(121)와 직렬 연결되는 저항 소자(122)를 포함할 수 있다.

[0058] 이와 관련하여 본원의 제1실시예에 따르면, 셀렉터 소자(121)로 인가되는 구동 전압(V_{op})이 문턱 전압(V_{th})보다 작으면, 셀렉터 소자(121)가 턴오프되어 저항 소자(122)로 전류가 흐르지 않고, 반대로 셀렉터 소자(121)로 인가되는 구동 전압(V_{op})이 문턱 전압(V_{th})보다 크면, 셀렉터 소자(121)가 턴온되어 저항 소자(122)로 전류가 흐르게 되어 저항 소자(122)에는 제1트랜지스터(111)의 임계 전압보다 큰 전압이 인가되는 것일 수 있다.

[0059] 달리 말해, 본원의 제1실시예에 따르면, 셀렉터 소자(121)가 턴오프되면, 저항 소자(122)에 0V에 가까운 전압이 걸리게 되고, 이에 대응하여 제1트랜지스터(111)와 제2트랜지스터(112)의 게이트에 0V의 전압이 인가되게 되어, PMOS 트랜지스터인 제2트랜지스터(112)는 켜지고, NMOS 트랜지스터인 제1트랜지스터(111)는 꺼지게 되어 대상 전류(I)가 ADC 쪽으로 흐르게 될 수 있다.

[0060] 반대로, 본원의 제1실시예에 따르면, 셀렉터 소자(121)가 턴온되면, 저항 소자(122)로 구동 전압(V_{op})에 의한 전류가 흐르게 되어 저항 소자(122)에 NMOS 트랜지스터인 제1트랜지스터(111)의 임계 전압 보다 큰 전압이 걸리게 되어, NMOS 트랜지스터인 제1트랜지스터(111)는 켜지고, PMOS 트랜지스터인 제2트랜지스터(112)는 꺼지게 되어 대상 전류(I)가 접지 노드 측으로 흐르게 될 수 있다.

[0061] 도 4a 내지 도 4c는 본원의 일 실시예에 따른 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치의 셀렉터 소자의 동작 특성을 설명하기 위한 도면이다.

[0062] 도 4a 내지 도 4c를 참조하면, 셀렉터 소자(121)는 셀렉터 소자(121)의 턴온 동작 또는 턴오프 동작을 결정하는 기준인 문턱 전압(V_{th})이 고정되지 않고 변동하는 특성을 보이며, 이러한 확률론적(추계론적, Stochastic, Random) 소자 특성을 이용하여 본원에서 개시하는 드롭아웃 구현 장치(100)는 셀렉터 소자(121)가 소정의 확률로 턴온되거나 턴오프됨으로써, 구동 전압(V_{op})의 인가 시마다 소정의 확률에 대응하여 대상 전류(I)가 소정의 뉴런 또는 접지 노드로 선택적으로 인가되도록 동작함으로써 하드웨어 기반의 드롭아웃을 구현할 수 있다.

[0063] 구체적으로, 도 4a를 참조하면, 본원에서 개시하는 셀렉터 소자(121)는 문턱 전압(V_{th}) 미만의 전압을 인가하면, 고저항의 턴오프 상태를 유지하여 전류가 흐르지 않도록 하고, 문턱 전압(V_{th}) 이상의 전압을 인가하면, 저저항의 턴온 상태로 스위치되어 전류가 흐르도록 하고, 셀렉터 소자(121)가 턴온된 이후 도 4a에 도시된 홀드 전압(Hold Voltage, V_h) 이하로 입력 전압을 감소시키면 고저항의 턴오프 상태로 재차 전환되는 특성을 가지며, 이와 관련하여 도 4a는 셀렉터 소자(121)에 대하여 0V에서 3V까지, 그리고 다시 3V에서 0V까지 DC Sweap을 진행한 결과를 나타낸 그래프이며, 이 때 셀렉터 소자(121)에 너무 과도한 전류가 흐르는 것이 방지되도록 Compliance Current(I_{comp})는 100 μ A 수준의 크기로 설정되었으며, 셀렉터 소자(121)가 턴오프된 상태에서는 1.49nA 수준의 매우 작은 크기의 전류를 흘리는 것을 확인할 수 있으며, 문턱 전압(V_{th})은 대략 2.46V 수준을 보이는 것을 확인할 수 있다.

[0064] 또한, 도 4b의 (b)는 도 4b의 (a)에 도시된 삼각 펄스(3V, 10 μ s)를 복수 회(예를 들면, 500회 등)에 걸쳐 반복적으로 인가하였을 때 측정된 문턱 전압(V_{th})의 크기에 대한 히스토그램이며, 이를 참조하면, 셀렉터 소자(121)의 문턱 전압(V_{th})에 산포가 존재하는 것을 확인할 수 있다. 또한, 도 4b의 (a)의 빨간색 그래프를 참조하면, 삼각 펄스 인가 시의 전류(Current)의 변화를 확인할 수 있다.

[0065] 또한, 도 4c의 (b)는 도 4c의 (a)에 도시된 사각펄스(3 μ s) 형태의 구동 전압(V_{op})을 펄스 진폭을 바꾸어 가며 인가할 경우, 셀렉터 소자(121)가 턴온 되는 비율을 나타낸 그래프로서, 이를 참조하면, 셀렉터 소자(121)로 인가되는 구동 전압(V_{op})의 크기를 조절함으로써 셀렉터 소자(121)의 턴온 또는 턴오프 비율을 조절할 수 있음을 확인할 수 있다.

[0066] 이와 관련하여, 구동부(120)의 셀렉터 소자(121)로 인가되는 구동 전압(V_{op})의 크기는 셀렉터 소자(121)의 소자 특성인 문턱 전압(V_{th})의 변동 패턴과 연계된 통계 데이터 및 미리 설정된 드롭아웃 비율에 기초하여 결정되는

것일 수 있다.

- [0067] 예시적으로, 전술한 도 4b의 (b)와 같은 통계 데이터가 미리 확보된 경우, 해당 셀렉터 소자(121)를 이용하여 드롭아웃 구현 장치(100)를 설계하면, 2.1V 크기의 구동 전압(V_{op}) 펄스를 인가하면, 0%의 확률로 셀렉터 소자(121)가 턴온될 것으로 예상할 수 있고, 2.2V 크기의 구동 전압(V_{op}) 펄스를 인가하면, 8%의 확률로 셀렉터 소자(121)가 턴온될 것으로 예상할 수 있고, 2.4V 크기의 구동 전압(V_{op}) 펄스를 인가하면, 43%의 확률로 셀렉터 소자(121)가 턴온될 것으로 예상할 수 있고, 2.5V 크기의 구동 전압(V_{op}) 펄스를 인가하면, 73%의 확률로 셀렉터 소자(121)가 턴온될 것으로 예상할 수 있고, 2.7V 크기의 구동 전압(V_{op}) 펄스를 인가하면, 100%의 확률로 셀렉터 소자(121)가 턴온될 것으로 예상할 수 있다.
- [0068] 따라서, 드롭아웃 구현 장치(100)를 통해 달성하고자 하는 드롭아웃 비율이 결정되면, 해당 드롭아웃 비율과 근접한 턴온 확률을 보이는 구동 전압(V_{op}) 펄스를 인가함으로써 각각의 뉴런에 대응하여 배치된 드롭아웃 구현 장치(100)의 셀렉터 소자(121)가 확률적으로 턴온되거나 턴오프됨으로써, 해당 레이어의 복수의 뉴런 중 드롭아웃 비율에 따른 뉴런에 대하여 드롭아웃(Dropout)이 적용될 수 있는 것이다. 예를 들어, 기 설정된 드롭아웃 비율이 50% 수준인 경우, 셀렉터 소자(121)로 인가되는 구동 전압(V_{op})의 펄스 크기는 2.4V 내지 2.5V 사이의 범위의 값으로 결정될 수 있다.
- [0069] 도 5는 오보닉 문턱 스위치(Ovonic Threshold Switch) 선택 소자의 구조를 나타낸 도면이다.
- [0070] 도 5를 참조하면, 셀렉터 소자(121)는 오보닉 문턱 스위치(Ovonic Threshold Switch) 선택 소자 유형일 수 있다.
- [0071] 보다 구체적으로, 도 5를 참조하면, 오보닉 문턱 스위치 선택 소자 유형의 셀렉터 소자(121)는 하단 텅스텐 전극, OTS 필름, 버퍼 레이어 및 상단 텅스텐 전극을 포함하는 계층 구조로 구비될 수 있다. 예를 들어, 오보닉 문턱 스위치 선택 소자 유형의 셀렉터 소자(121)는 패터닝된 텅스텐 전극에 RF-magnetron 스퍼터링 시스템을 사용하여 소정의 두께(20nm 두께)의 $Si_{15}Ge_7As_{32}Te_{46}$ OTS 필름을 증착($d=30 \sim 200nm$)한 다음, OTS 필름을 마이크로웨이브 전력(예를 들면, 1000W)을 사용하여 N_2 Atmosphere 에서 열처리하고, 탄소 버퍼 층(Buffer Layer)과 상단 텅스텐 전극을 $Si_{15}Ge_7As_{32}Te_{46}$ 필름 위에 순차적으로 증착하는 방식으로 설계될 수 있으나, 이에만 한정되는 것은 아니다.
- [0072] 도 6은 오버피팅이 발생한 신경망의 학습 오차와 테스트 오차의 개형을 비교하여 나타낸 도면이다. 구체적으로, 도 6은 에포크(Epoch) 수의 변화에 따른 학습 데이터 셋과 테스트 데이터셋의 오차율(Error rate)을 비교한 그래프이다.
- [0073] 도 6을 참조하면, 오버피팅 포인트 이후 학습 데이터(Train Data)에 대한 오차율(Error Rate)은 계속 감소하여 0으로 수렴하게 되지만, 테스트 데이터(Test Data)에 대한 오차율(Error Rate)은 오히려 증가하는 경향을 보이며, 이는 인공 신경망이 학습 데이터에 너무 가깝게 피팅이 되어서 학습 데이터가 실제 데이터에 대응하는 테스트 데이터(Test Data)와 완전히 똑같은 거라고 가정해버린 결과를 반영한다. 따라서, 해당 인공 신경망은 학습 데이터 세트에 속한 각각의 개별 데이터들을 완벽하게 설명할 수 있는 모델로는 동작할 수 있지만, 테스트 데이터 세트에 속한 데이터들이 인가될 때 학습 데이터와 조금이라도 다르게 되면 추론 결과가 상이해지는 오차를 발생(예를 들면, 다른 데이터로 분류)시킨다. 이러한 오버피팅(과적합)은 학습이 반복하여 진행될수록 더욱 심해지며 오버피팅 포인트 이후 오차율(Error Rate)은 계속해서 증가하게 된다.
- [0074] 달리 말해, 도 6을 참조하면, 인공 신경망의 학습을 진행할 수록(즉, Epoch 이 증가할 수록) 학습 데이터 셋에 대해서는 오차율(Error rate)이 계속 낮아져 0으로 수렴하지만, 테스트 데이터 셋에서는 과적합이 발생하여서 오차율(Error rate)이 증가하는 것을 확인할 수 있다.
- [0075] 도 7은 학습 데이터의 수의 변화에 따른 과적합 발생 정도를 상대적으로 비교하여 나타낸 그래프이다. 구체적으로, 도 7은 학습 데이터의 수를 변화시키며 학습을 시킨 이후에 테스트 데이터 셋에 대한 오차율(Error rate)을 드롭아웃을 적용한 신경망(파란색)과 드롭아웃을 적용하지 않은 신경망(주황색)에 대해 비교한 그래프이다.
- [0076] 도 7을 참조하면, 도 7의 (a)에서 도 7의 (c)로 갈수록 적은 학습 데이터를 이용한 케이스를 나타내며, 학습 데이터의 양이 적을수록 드롭아웃 기법을 미적용한 경우(파란색 그래프)에 학습이 반복됨에 따라 에러율이 급격히

상승하는 패턴을 보여 드롭아웃 기법을 적용한 경우(주황색 그래프) 대비 과적합이 과도하게 발생하는 것을 확인할 수 있다.

[0077] 즉, 도 7을 참조하면, 드롭아웃을 적용하지 않은 신경망은 과적합이 발생하여 에포크(Epoch)가 증가할수록 오차율이 증가하는 반면, 드롭아웃을 적용한 신경망은 과적합이 발생하지 않기 때문에 에포크(Epoch)가 증가하더라도 오차율이 증가하지 않는 것을 확인할 수 있다.

[0078] 도 8은 드롭아웃을 적용한 신경망과 드롭아웃을 미적용한 신경망의 성능 차이를 비교하여 나타낸 도면이다.

[0079] 구체적으로, 도 8의 (a)는 본원의 일 실시예에 따른 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 기법과 연계된 실험예에서 사용된 데이터 셋(MNIST 데이터 셋)의 일부를 시각화하여 나타낸 것이고, 본 실험에서 인식을 평가에 사용되는 신경망(뉴럴 네트워크)은 예를 들어 3개의 Fully-Connected Layer를 포함하는 구조로 구비될 수 있다.

[0080] 또한, 본 실험에서는 28 x 28의 사이즈(Image size), 1개의 채널(Image channel)을 갖는 이미지가 사용되었으며, 학습 데이터로서 60,000장의 이미지가, 테스트 데이터로서 10,000장의 이미지가 사용되었으며, 분류되는 클래스(Class)는 Class 0 내지 Class 9의 10개의 클래스가 사용되었다(Image size : 28 x 28 / image channel : 1 / Train data : 60,000장 / Test data : 10,000 장 / Class 갯수 : 10개 (0~9) / Network : 3 layer (784-256-128-10)).

[0081] 또한, 도 8의 (b)는 MNIST 학습 데이터 셋의 크기를 각각 5000장, 30,000장 및 60,000장으로 가변해 가며 드롭아웃을 적용한 모델과 드롭아웃을 적용하지 않은 모델에 각각 학습시킨 후 10,000장의 테스트 데이터 셋으로 인식을 평가를 진행한 결과를 나타낸 그래프로서, 도 8의 (b)를 참조하면, 본원에서 개시하는 드롭아웃 기법을 적용하였을때의 인식이 더 좋은 것을 확인할 수 있고, 이에 따라 본원에서 개시하는 드롭아웃 기법을 적용할 때, 학습 데이터의 양이 상대적으로 부족한 상황에서 드롭아웃의 성능이 더 부각되는 것을 확인할 수 있다. 이는, 신경망(뉴럴 네트워크)의 크기에 비해 데이터가 적은 경우 오버피팅이 더 심하게 발생하는데, 드롭아웃 기법을 적용하면 이러한 오버피팅을 방지할 수 있기 때문에 오버피팅 현상이 심하게 나타날 수 있는 상황(예를 들면, 데이터가 적은 상황 등)일수록 드롭아웃의 효과가 더 크게 나타나는 것을 반영할 수 있다.

[0082] 진술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

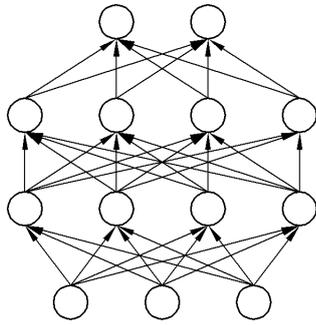
[0083] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

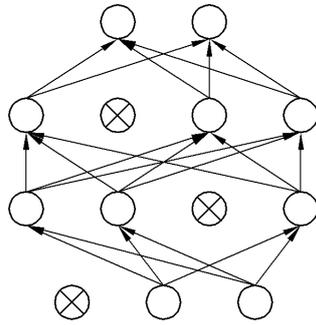
- [0084] 11: 크로스바 어레이
- 100: 셀렉터 소자를 이용한 하드웨어 기반의 인공 신경망 드롭아웃 구현 장치
- 110: 스위치부
- 111: 제1트랜지스터
- 112: 제2트랜지스터
- 120: 구동부
- 121: 셀렉터 소자
- 122: 저항 소자

도면

도면1a

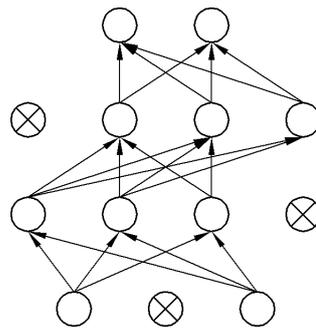
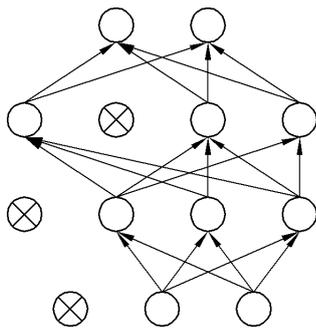
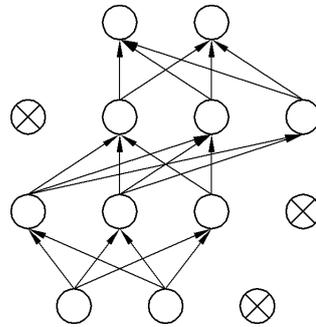
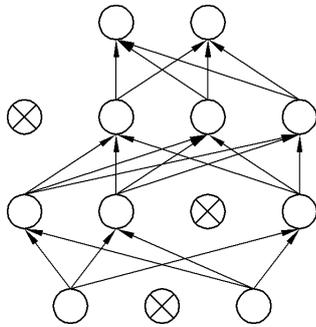


(a)



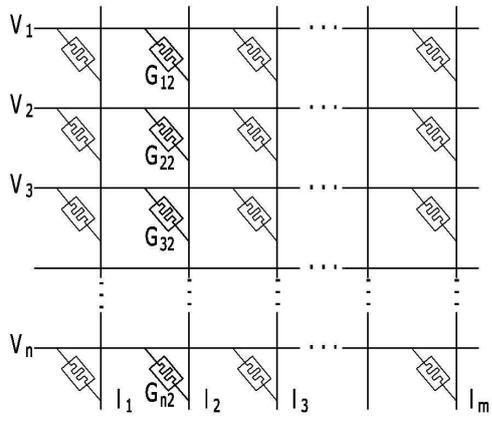
(b)

도면1b

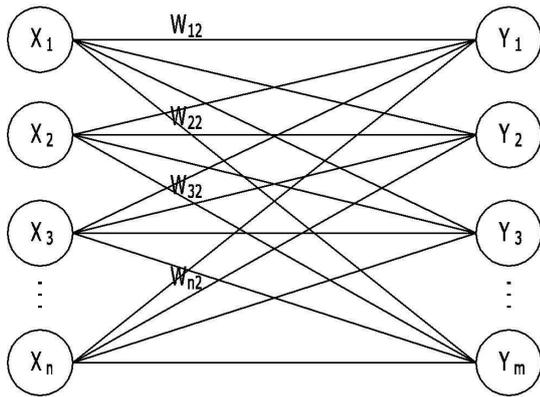


도면2

11

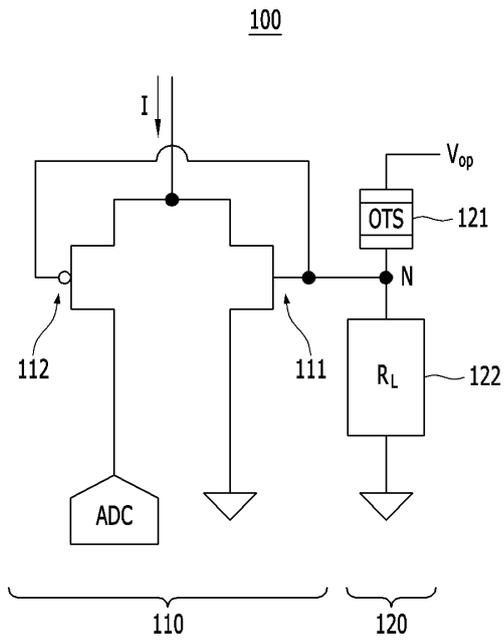


(a)

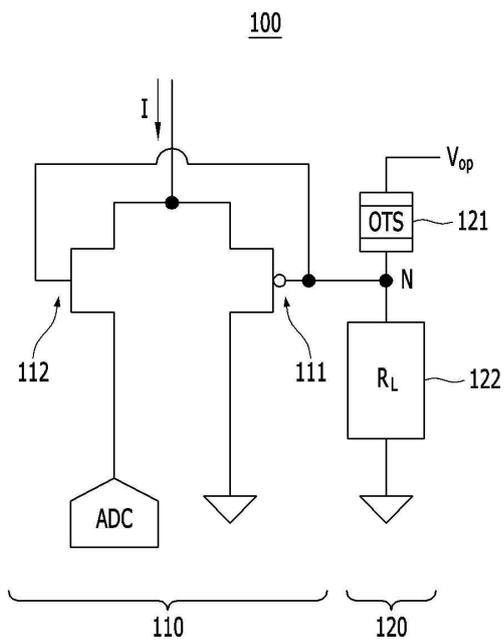


(b)

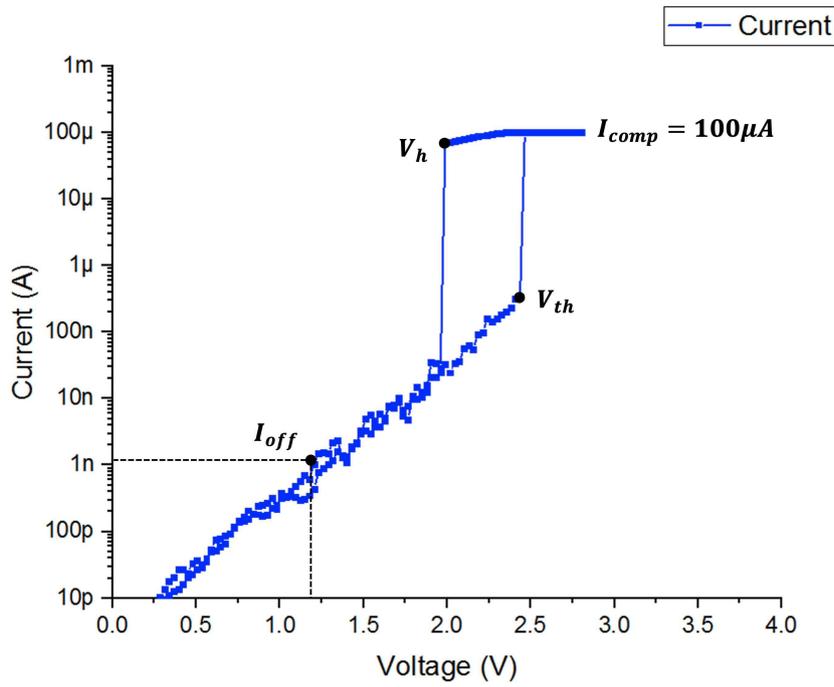
도면3a



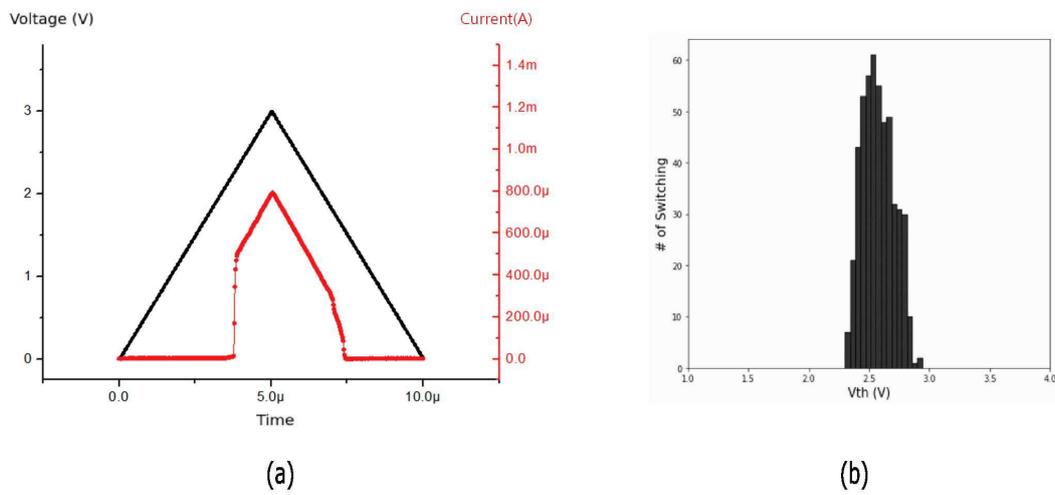
도면3b



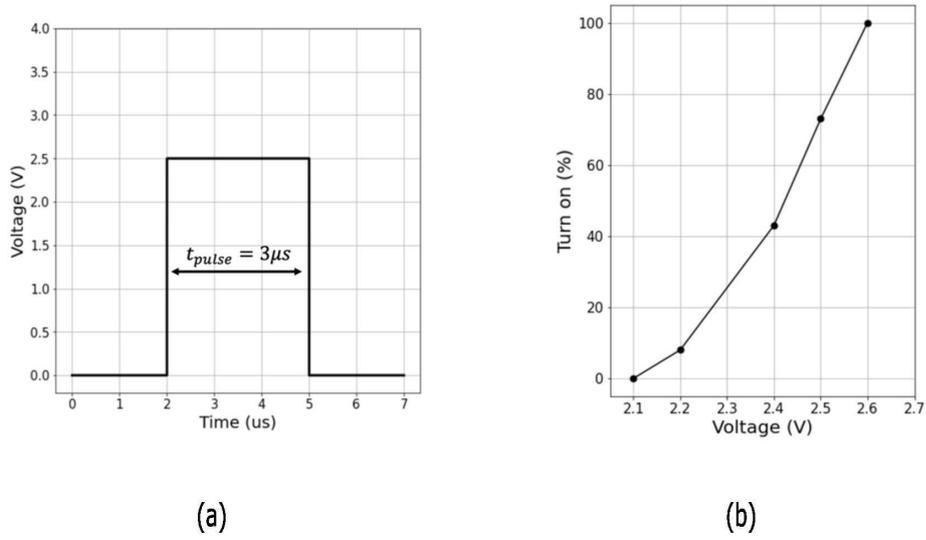
도면4a



도면4b

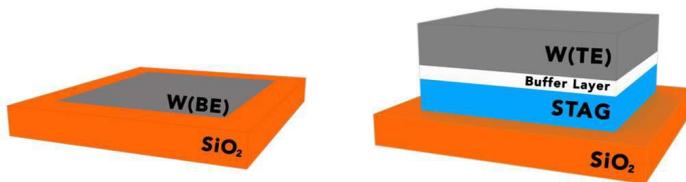


도면4c

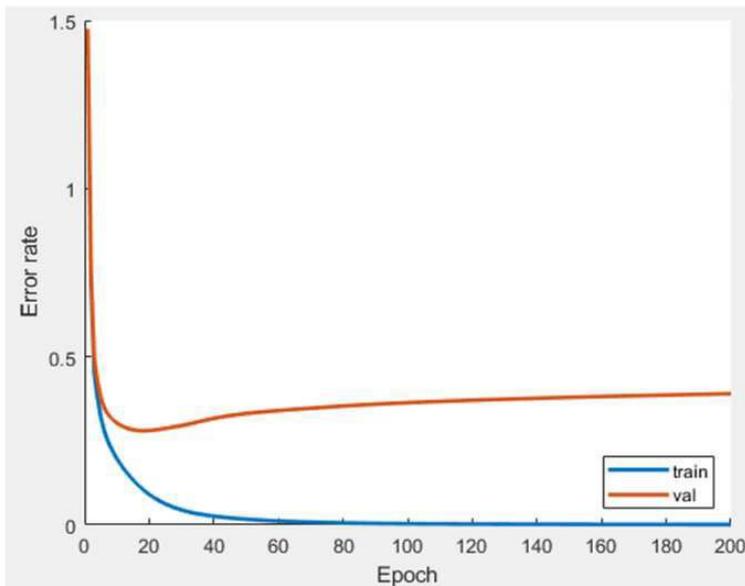


도면5

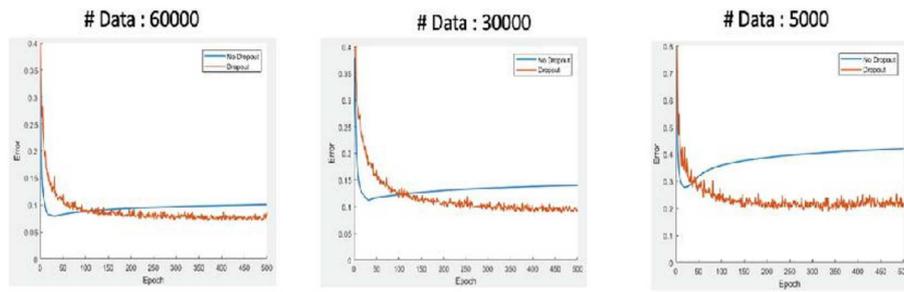
121



도면6



도면7

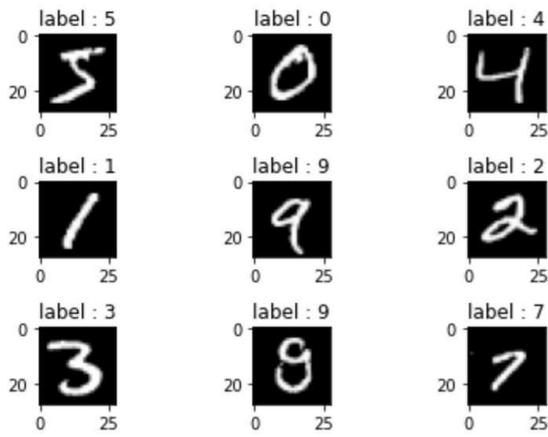


(a)

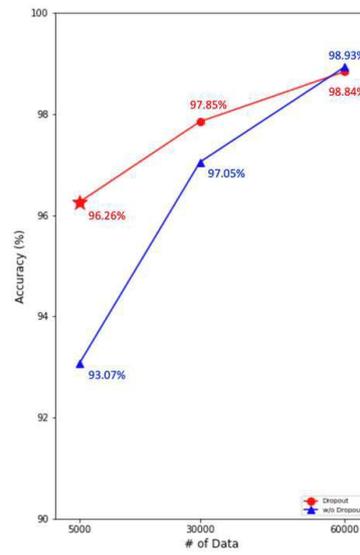
(b)

(c)

도면8



(a)



(b)