



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0138294
(43) 공개일자 2024년09월20일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2023.01) G06N 3/04 (2023.01)
G06N 3/08 (2023.01)</p> <p>(52) CPC특허분류
G06N 3/063 (2013.01)
G06N 3/04 (2023.01)</p> <p>(21) 출원번호 10-2023-0031819
(22) 출원일자 2023년03월10일
심사청구일자 2023년03월10일</p> | <p>(71) 출원인
포항공과대학교 산학협력단
경상북도 포항시 남구 청암로 77 (지곡동)</p> <p>(72) 발명자
김광선
경상북도 포항시 남구 청암로 77
조성준
경상북도 포항시 남구 청암로 77</p> <p>(74) 대리인
특허법인이상</p> |
|--|---|

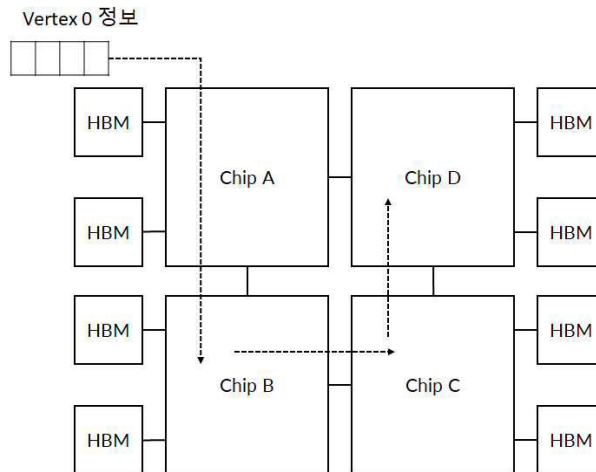
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 그래프 신경망의 기계 학습 장치 및 방법

(57) 요약

본 발명의 목적을 달성하기 위한 일 실시예에 따른 그래프 신경망의 기계 학습 장치는 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 프로세싱 엘리먼트(PE, processing element)를 포함하는 복수개의 프로세서 유닛들을 포함한다.

대표도 - 도2



(52) CPC특허분류

G06N 3/082 (2023.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711152686
과제번호	2021-0-00871-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	신개념PIM반도체선도기술개발(R&D)
연구과제명	DRAM 기반 DNN 연산기 통합 PIM DRAM 칩 개발
기 여 율	1/2
과제수행기관명	한국과학기술원
연구기간	2022.01.01 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711153007
과제번호	2021-0-00310-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	SW컴퓨팅산업원천기술개발(R&D, 정보화)
연구과제명	인공지능 학습/추론 효율성 향상을 위한 서버용 SW 프레임워크 개발
기 여 율	1/2
과제수행기관명	주식회사 사피온코리아
연구기간	2022.01.01 ~ 2022.12.31

명세서

청구범위

청구항 1

그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 프로세싱 엘리먼트(PE, processing element)를 포함하는 복수개의 프로세서 유닛들;

을 포함하고,

상기 복수개의 프로세서 유닛들 중 제1 프로세서 유닛은 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 상기 복수개의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하고,

상기 제1 프로세서 유닛은 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 상기 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하고,

상기 제1 프로세서 유닛은 그래프의 연산의 수행 결과 중 적어도 일부를 상기 복수개의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 2

제1항에 있어서,

상기 제1 프로세서 유닛은 제1 정점에 대한 특징 데이터를 저장하고,

상기 제1 프로세서 유닛은 상기 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 상기 제1 데이터로부터 탐색하는,

그래프 신경망의 기계 학습 장치.

청구항 3

제2항에 있어서,

상기 제1 프로세서 유닛은 상기 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 상기 제1 정점과 관련되는 상기 제2 정점을 식별하는,

그래프 신경망의 기계 학습 장치.

청구항 4

제2항에 있어서,

상기 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 상기 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 5

제4항에 있어서,

상기 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성하고,

상기 제1 프로세서 유닛은 상기 제2 데이터를 상기 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 6

제1항에 있어서,

상기 제1 프로세서 유닛은 상기 제1 데이터 중 상기 제3 프로세서 유닛을 목적지로 하는 데이터를 상기 제3 프로세서 유닛으로 전달하는,

그래프 신경망의 기계 학습 장치.

청구항 7

제1항에 있어서,

제1 정점에 대한 특징 데이터를 저장하는 상기 제1 프로세서 유닛은 상기 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 상기 제1 데이터로부터 탐색하고,

상기 제1 데이터에서 상기 제2 정점의 특징 데이터가 발견되지 않으면 상기 제1 데이터를 상기 제3 프로세서 유닛으로 전달하는,

그래프 신경망의 기계 학습 장치.

청구항 8

그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산을 수행하는 복수개의 프로세서 유닛들 중 제1 프로세서 유닛이 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 상기 복수개의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하는 단계;

상기 제1 프로세서 유닛이 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 상기 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하는 단계; 및

상기 제1 프로세서 유닛이 그래프의 연산의 수행 결과 중 적어도 일부를 상기 복수개의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송하는 단계; 를 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 9

제8항에 있어서,

상기 그래프의 연산을 수행하는 단계는,

제1 정점에 대한 특징 데이터를 저장하는 상기 제1 프로세서 유닛이 상기 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 상기 제1 데이터로부터 탐색하는 단계;

를 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 10

제9항에 있어서,

상기 그래프의 연산을 수행하는 단계는,

상기 제1 프로세서 유닛이 상기 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 상기 제1 정점과 관련되는 상기 제2 정점을 식별하는 단계;

를 더 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 11

제9항에 있어서,

상기 제3 프로세서 유닛으로 전송하는 단계에서,

상기 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 상기 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 방법.

청구항 12

제11항에 있어서,

상기 제3 프로세서 유닛으로 전송하는 단계는,

상기 제1 프로세서 유닛이 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성하는 단계; 및

상기 제1 프로세서 유닛이 상기 제2 데이터를 상기 제3 프로세서 유닛으로 전송하는 단계;

를 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 13

제8항에 있어서,

상기 제1 프로세서 유닛이 상기 제1 데이터 중 상기 제3 프로세서 유닛을 목적지로 하는 데이터를 상기 제3 프로세서 유닛으로 전달하는 단계;

를 더 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 14

제9항에 있어서,

상기 제1 데이터에서 상기 제2 정점의 특징 데이터가 발견되지 않으면 상기 제1 데이터를 상기 제3 프로세서 유닛으로 전달하는 단계;

를 더 포함하는,

그래프 신경망의 기계 학습 방법.

청구항 15

그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 제1 프로세싱 엘리먼트(PE, processing element); 및

상기 제1 프로세싱 엘리먼트 및 외부의 프로세서 유닛들과 전자적으로 연결되며, 상기 제1 프로세싱 엘리먼트 및 외부의 프로세서 유닛들 사이에서 데이터를 송수신하는 인터페이스;

를 포함하고,

상기 인터페이스는,

그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 상기 외부의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하고,

그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 상기 미리 결정된 제2 프로세서 유닛으로부터 수신된 제1 데이터를 상기 제1 프로세싱 엘리먼트로 전달하고,

상기 제1 프로세싱 엘리먼트에 의하여 얻어지는 그래프의 연산의 수행 결과 중 적어도 일부를 상기 외부의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 16

제15항에 있어서,

상기 제1 프로세싱 엘리먼트와 상기 인터페이스와 전자적으로 연결되며 제1 정점에 대한 특징 데이터를 저장하는 고대역폭 메모리;

를 더 포함하고,

상기 인터페이스는 상기 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 상기 제1 데이터로부터 탐색하는,

그래프 신경망의 기계 학습 장치.

청구항 17

제16항에 있어서,

상기 인터페이스는 상기 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 상기 제1 정점과 관련되는 상기 제2 정점을 식별하고,

상기 제2 정점의 식별자를 테이블에 저장하는,

그래프 신경망의 기계 학습 장치.

청구항 18

제16항에 있어서,

상기 인터페이스는 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 상기 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 19

제18항에 있어서,

상기 인터페이스는 그래프의 연산의 수행 결과로서 갱신되는 상기 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성하고,

상기 인터페이스는 상기 제2 데이터를 상기 제3 프로세서 유닛으로 전송하는,

그래프 신경망의 기계 학습 장치.

청구항 20

제15항에 있어서,

상기 제1 프로세싱 엘리먼트와 상기 인터페이스와 전자적으로 연결되며 제1 정점에 대한 특징 데이터를 저장하는 고대역폭 메모리;

를 더 포함하고,

상기 인터페이스는 상기 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 상기 제1 데이터로부터 탐색하고,

상기 인터페이스는 상기 제1 데이터에서 상기 제2 정점의 특징 데이터가 발견되지 않으면 상기 제1 데이터를 상기 제3 프로세서 유닛으로 전달하는,

그래프 신경망의 기계 학습 장치.

발명의 설명

기술 분야

[0001] 본 발명은 그래프 신경망(GNN, Graph Neural Network)의 기계 학습에 필요한 연산을 수행하는 기계 학습 장치 및 방법에 관한 것으로, 특히 멀티 칩 모듈(MCM, Multi-chip module) 환경에서 그래프 신경망의 기계 학습을 위한 연산을 가속하는 장치 및 동작 방법에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래 기술을 구성하는 것은 아니다.

[0003] 학습되지 않은 그래프의 데이터 임베딩을 추론할 수 있는 그래프 신경망(GNN)은 대용량 데이터를 처리하는 사용자 추천시스템, 포인트 클라우드 연산, 라이다, 자율주행, 소셜 컴퓨팅, 분자구조 연구를 위한 프로그램, 및 다양한 자연과학 연구 등에서 적용되고 있는 신흥 그래프 머신러닝 알고리즘이다. GNN은 대용량 스케일의 비유클리드 데이터를 이용하여 학습과 추론을 하기 때문에, 매우 높은 정확도와 범용성, 다른 그래프 처리 시스템과의 호환성을 가진다.

[0004] 하지만 이러한 장점에도 불구하고 GNN의 특화된 가속 시스템의 부재와 하드웨어 설계 부족 등으로 인해 그래프 신경망 가속에 접근성, 부재성이 현저히 떨어지는 실정이다. 이러한 문제를 해결하기 위해 소자, 회로, 시스템 각 영역에서 연구가 진행되고 있지만, 계층 간의 고립적 기술 개발들로 그 성능과 응용의 범위를 혁신적으로 확장 개선하는데 고질적인 어려움을 겪고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국등록특허 KR 10-2214422호 "개인화 콘텐츠 추천을 위한 실시간 그래프 기반 임베딩 구축 방법 및 시스템" (공개일 2021년 2월 3일)

발명의 내용

해결하려는 과제

[0006] 그래프 신경망의 기계 학습을 위하여 제공되는 하드웨어로 NVIDIA의 CUDA-X 가속 DGL (Deep Graph Library) 등이 알려져 있다. 이러한 종래 기술에서는 프로세서 유닛들을 포함하는 chiplet들이 PCIe(Peripheral Component Interconnect Express), NVLink 등으로 연결된다. 종래 기술의 제한된 대역폭 하에서는 그래프 신경망의 연산을 위한 데이터 전송으로 인하여 대역폭이 더욱 부족해지고 이로 인한 연산의 지연이 불가피하였다.

[0007] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 그래프 신경망의 연산을 위하여 필요한 데이터 수요 패턴을 이해하고, 데이터 수요 패턴에 기반한 데이터 전송 기법을 제안함으로써 그래프 신경망의 연산 시 제한된 대역폭에 의한 성능 저하를 방지하고 연산을 가속화하는 것이다.

[0008] 본 발명의 목적은 그래프 신경망의 연산 시 발생하는 패턴에 기반하여 데이터 전송, 연산 과정의 지연을 줄이고 실질적으로 연산을 가속할 수 있는 인터페이스 장치를 제안하는 것이다.

[0009] 본 발명의 목적은 그래프 신경망의 연산 시 발생하는 패턴에 기반하여 데이터 전송, 연산 과정의 지연을 줄이고 실질적으로 연산을 가속할 수 있는 프로세서 유닛들의 배치 및 동작 방법을 제안하는 것이다.

과제의 해결 수단

[0010] 본 발명의 목적을 달성하기 위한 일 실시예에 따른 그래프 신경망의 기계 학습 장치는 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 프로세싱 엘리먼트(PE, processing element)를 포함하는 복수개의 프로세서 유닛들을 포함한다.

[0011] 복수개의 프로세서 유닛들 중 제1 프로세서 유닛은 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하고, 제1 프로세서 유닛은 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하고, 제1 프로세서 유닛은 그래프의 연산의 수행 결과 중 적어도 일부를 복수개

의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송한다.

- [0012] 제1 프로세서 유닛은 제1 정점에 대한 특징 데이터를 저장할 수 있고, 제1 프로세서 유닛은 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있다.
- [0013] 제1 프로세서 유닛은 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별할 수 있다.
- [0014] 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0015] 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성할 수 있다.
- [0016] 제1 프로세서 유닛은 제2 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0017] 제1 프로세서 유닛은 제1 데이터 중 제3 프로세서 유닛을 목적지로 하는 데이터를 제3 프로세서 유닛으로 전달할 수 있다.
- [0018] 제1 정점에 대한 특징 데이터를 저장하는 제1 프로세서 유닛은 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있고, 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면 제1 데이터를 제3 프로세서 유닛으로 전달할 수 있다.
- [0019] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산을 수행하는 복수개의 프로세서 유닛들 중 제1 프로세서 유닛이 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하는 단계; 제1 프로세서 유닛이 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하는 단계; 및 제1 프로세서 유닛이 그래프의 연산의 수행 결과 중 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송하는 단계를 포함한다.
- [0020] 그래프의 연산을 수행하는 단계는, 제1 정점에 대한 특징 데이터를 저장하는 제1 프로세서 유닛이 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색하는 단계를 포함할 수 있다.
- [0021] 그래프의 연산을 수행하는 단계는, 제1 프로세서 유닛이 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별하는 단계를 더 포함할 수 있다.
- [0022] 제3 프로세서 유닛으로 전송하는 단계에서, 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0023] 제3 프로세서 유닛으로 전송하는 단계는, 제1 프로세서 유닛이 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성하는 단계; 및 제1 프로세서 유닛이 제2 데이터를 제3 프로세서 유닛으로 전송하는 단계를 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 제1 프로세서 유닛이 제1 데이터 중 제3 프로세서 유닛을 목적지로 하는 데이터를 제3 프로세서 유닛으로 전달하는 단계를 더 포함할 수 있다.
- [0025] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면 제1 데이터를 제3 프로세서 유닛으로 전달하는 단계를 더 포함할 수 있다.
- [0026] 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치는, 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 제1 프로세싱 엘리먼트(PE, processing element); 및 제1 프로세싱 엘리먼트 및 외부의 프로세서 유닛들과 전자적으로 연결되며, 제1 프로세싱 엘리먼트 및 외부의 프로세서 유닛들 사이에서 데이터를 송수신하는 인터페이스를 포함한다.
- [0027] 인터페이스는, 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 외부의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하고, 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 미리 결정된 제2 프로세서 유닛으로부터 수신된 제1 데이터를 제1 프로세싱 엘리먼트로 전달하고, 제1 프로세싱

엘리먼트에 의하여 얻어지는 그래프의 연산의 수행 결과 중 적어도 일부를 외부의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송한다.

[0028] 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치는, 제1 프로세싱 엘리먼트와 인터페이스와 전자적으로 연결되며 제1 정점에 대한 특징 데이터를 저장하는 고대역폭 메모리를 더 포함할 수 있다.

[0029] 인터페이스는 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있다.

[0030] 인터페이스는 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별할 수 있고, 제2 정점의 식별자를 테이블에 저장할 수 있다.

[0031] 인터페이스는 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.

[0032] 인터페이스는 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성할 수 있다.

[0033] 인터페이스는 제2 데이터를 제3 프로세서 유닛으로 전송할 수 있다.

[0034] 인터페이스는 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면 제1 데이터를 제3 프로세서 유닛으로 전달할 수 있다.

발명의 효과

[0035] 본 발명의 실시예에 따르면, 그래프 신경망의 연산을 위하여 필요한 데이터 수요 패턴에 기반한 데이터 전송 방법에 의하여 그래프 신경망의 연산 시 제한된 대역폭에 의한 성능 저하를 방지하고 연산을 가속화할 수 있다.

[0036] 본 발명의 실시예에 따르면, 그래프 신경망의 연산 시 발생하는 패턴에 기반하여 데이터 전송, 연산 과정의 지연을 줄이고 실질적으로 연산을 가속할 수 있는 인터페이스 장치를 구현할 수 있다.

[0037] 본 발명의 실시예에 따르면, 그래프 신경망의 연산 시 발생하는 패턴에 기반하여 데이터 전송, 연산 과정의 지연을 줄이고 실질적으로 연산을 가속할 수 있는 프로세서 유닛들의 배치 및 동작 방법을 구현할 수 있다.

도면의 간단한 설명

[0038] 도 1은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 칩셋 연결 구성을 도시하는 개념도이다.

도 2는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 칩셋 연결 구성 및 데이터 전송 프로토콜을 도시하는 개념도이다.

도 3은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스를 포함하는 구체화된 구성을 도시하는 개념도이다.

도 4는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스의 동작을 도시하는 개념도이다.

도 5는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치에서 이용되는 일반화된 그래프 데이터 구조의 일 예를 도시하는 개념도이다.

도 6은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치에서 이용되는 상세한 그래프 데이터 구조의 일 예를 도시하는 개념도이다.

도 7은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 원격 어레이를 생성하는 과정을 도시하는 개념도이다.

도 8은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 필터 어레이를 생성하는 과정을 도시하는 개념도이다.

도 9는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 그래프 데이터 구조를 읽어들이는 과정을 도시하는 개념도이다.

도 10 내지 도 12는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 필터 어레이

를 생성하는 과정을 순차적으로 도시하는 개념도이다.

도 13은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 방법을 도시하는 동작 흐름도이다.

도 14는 도 13의 과정의 일부를 더욱 상세히 도시하는 동작 흐름도이다.

도 15는 도 1 내지 도 14의 과정의 적어도 일부를 수행할 수 있는 일반화된 그래프 신경망 기계 학습 장치, 인터페이스 장치, 또는 컴퓨팅 시스템의 예시를 도시하는 개념도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0040] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. '및/또는'이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0041] 본 출원의 실시예들에서, "A 및 B 중에서 적어도 하나"는 "A 또는 B 중에서 적어도 하나" 또는 "A 및 B 중 하나 이상의 조합들 중에서 적어도 하나"를 의미할 수 있다. 또한, 본 출원의 실시예들에서, "A 및 B 중에서 하나 이상"은 "A 또는 B 중에서 하나 이상" 또는 "A 및 B 중 하나 이상의 조합들 중에서 하나 이상"을 의미할 수 있다.
- [0042] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0043] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0044] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가진 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0045] 한편 본 출원일 전에 공지된 기술이라 하더라도 필요 시 본 출원 발명의 구성의 일부로서 포함될 수 있으며, 이에 대해서는 본 발명의 취지를 흐리지 않는 범위 내에서 본 명세서에서 설명한다. 다만 본 출원 발명의 구성을 설명함에 있어, 본 출원일 전에 공지된 기술로서 당업자가 자명하게 이해할 수 있는 사항에 대한 자세한 설명은 본 발명의 취지를 흐릴 수 있으므로, 공지 기술에 대한 지나치게 자세한 사항의 설명은 생략한다.
- [0046] 예를 들어, 그래프 신경망의 기계 학습을 위하여 제공되는 하드웨어로 DGL (Deep Graph Library)을 구성하는 기술 등은 본 발명의 출원 전 공지 기술을 이용할 수 있으며, 이들 공지 기술들 중 적어도 일부는 본 발명을 실시하는 데에 필요한 요소 기술로서 적용될 수 있다.
- [0047] 그러나 본 발명의 취지는 이들 공지 기술에 대한 권리를 주장하고자 하는 것이 아니며 공지 기술의 내용은 본 발명의 취지에 벗어나지 않는 범위 내에서 본 발명의 일부로서 포함될 수 있다.
- [0048] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0049] 도 1은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 칩셋 연결 구성을 도시하는 개념도이다.

- [0050] 그래프 신경망의 기계 학습을 위하여 제공되는 하드웨어로 NVIDIA의 CUDA-X 가속 DGL (Deep Graph Library) 등이 알려져 있다. 이러한 종래 기술에서는 프로세서 유닛들을 포함하는 chiplet들이 PCIe(Peripheral Component Interconnect Express), NVLink 등으로 연결된다. 종래 기술의 제한된 대역폭 하에서는 그래프 신경망의 연산을 위한 데이터 전송으로 인하여 대역폭이 더욱 부족해지고 이로 인한 연산의 지연이 불가피하였다.
- [0051] 도 1에서와 같이 chiplet을 multi-chip module(MCM)으로 구현하는 경우 chiplet 사이에서는 빠른 대역폭을 제 공함으로써 종래 기술 대비 빠른 그래프 신경망 연산 처리 성능을 제공할 수 있다.
- [0052] 다만 도 1의 실시예에서는, 그래프 연산 과정에서 그래프를 형성하는 vertex 정보를 공유하기 위하여 하나의 칩 에서 여러 칩으로 데이터가 중복되어 전송되는데, 이로 인하여 제한된 대역폭을 가지는 하드웨어 내의 데이터 전송 효율이 저하될 여지가 있다.
- [0053] 일반적으로 그래프 신경망의 연산에서는 그래프를 구성하는 두 개의 정점(vertex) 각각의 정보가 연산에 필요하 므로, 하나의 그래프에 대한 연산 처리 시 두 개의 정점 각각의 정보가 요구되어 시스템 전체적으로는 하나의 정점에 대한 정보가 여러 칩에 대하여 중복 전송될 가능성이 있으며, 이로 인하여 트래픽이 크게 발생하여 데이 터를 기다리는 시간이 증가하고 연산의 효율이 저하되는 문제가 발생할 여지가 있다.
- [0054] 도 1에 도시된 프레임워크의 경우에는 multi-GPU 환경에서 GPU 사이의 데이터 전송을 없애기 위해 각 GPU는 중 복된 데이터를 가지고 있다. 중복된 데이터를 각 GPU에서 읽기 때문에, GPU의 전체적인 메모리 대역폭 관점에서 는 낭비가 발생할 수 있다. 또한, 중복된 데이터를 저장하고 있어 GPU의 용량이 부족하기 때문에, 스케일이 큰 그래프를 가지고 학습을 진행하거나 신경망의 깊이를 늘리기가 어려운 문제점이 있다.
- [0055] 데이터를 중복해서 저장하지 않는 경우에 각 GPU는 다른 GPU에 존재하는 데이터를 읽어야 하는 경우가 발생한다. 이 때, 여러 GPU에서 하나의 GPU에 존재하는 데이터를 요구하는 경우에는 같은 데이터가 여러번 읽혀 야 하는 문제점이 있고, GPU간의 느린 전송속도로 인해 학습속도가 느려질 수 있다.
- [0056] 도 2는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 칩렛 연결 구성 및 데이터 전송 프로토콜 을 도시하는 개념도이다.
- [0057] 도 2에서와 같이 그래프 신경망 연산 시 발생하는 데이터 수요 패턴을 고려한 데이터 이동 프로토콜을 제안하고, 인터페이스에서 데이터 이동을 필터링하는 과정을 통하여 데이터 이동을 최적화하고 중복된 데이터 전송을 피할 수 있다. 또한 이로 인하여 본 발명의 실시예에서는 규칙적인 패턴으로 데이터를 주고받을 수 있고, 여러 chiplet이 중복된 데이터를 보유하는 경우를 회피할 수 있다.
- [0058] 이러한 본 발명의 실시예에 따르면, 큰 스케일의 그래프를 기반으로 한 그래프 신경망을 학습할 때 더욱 효율적 으로 학습할 수 있는 효과를 가진다.
- [0059] 도 2를 참조하면, 특정한 vertex를 저장하고 관리하도록 특정한 vertex가 HBM 및 chip에 할당될 수 있다.
- [0060] 해당 chip에서는 미리 정해진 chip으로 데이터를 전송하도록 데이터 전송 프로토콜이 설정될 수 있다. 도 2를 참조하면 chip A → B → C → D → A 의 방향으로 데이터가 전송되도록 설정될 수 있다.
- [0061] 복수개의 chip들은 결과적으로 ring 형태의 네트워크를 구성하며 데이터는 미리 정해진 한 방향으로 복수개의 chip들을 순환하며 전송될 수 있다.
- [0062] 데이터는 무한정 전송되는 것은 아니고, source와 destination이 설정된 패킷의 형태로 전송되며, 이때 destination은 해당 데이터를 필요로 하는 chip들 중 source 칩으로부터 미리 정해진 전송 방향/순서 상 가장 먼 위치에 있는 chip으로 결정될 수 있다.
- [0063] 큰 스케일의 그래프를 학습하기 위해서는 여러개의 GPU (이하 device 혹은 chiplet으로 칭함)가 필요하다. 또한, 큰 스케일의 그래프를 device의 메모리에 저장하기 위해서는 중복된 데이터 저장을 피하는 것이 바람직하 다. 따라서, 여러 device가 느린 메모리 대역폭을 제공하는 링크를 통해 데이터를 주고받아야 한다. 이러한 문 제점을 해결하기 위해서 여러 chiplet을 multi-chip-module을 통해 연결한다. Multi-chip-module은 chiplet 사 이에서 빠른 메모리 대역폭을 제공한다. 이는 chiplet이 가지고 있는 메모리보다 더 높은 대역폭을 제공할 수도 있다.
- [0064] chiplet은 다른 chiplet에서 데이터를 읽어서 처리하는 경우가 빈번하게 발생하기 때문에, chiplet간의 효율적 인 데이터 전송방법이 필요하다. 이를 위해서 그래프 신경망학습의 핵심 연산인 Aggregation을 하는데 있어서 chiplet 사이에서는 데이터를 scatter하는 방식으로 데이터를 전송한다. 이 때, chiplet들은 RING 형태로 연결

되어 있음을 가정한다. 그리고 이를 위해서 각각의 chiplet은 RemoteArr, FilterArr이라는 데이터를 통해서 자신이 가지고 있는 데이터를 외부에 전송해야 하는지 여부, 외부에서 받은 데이터를 처리해야 하는 지 여부를 파악할 수 있다. 그리고 chiplet들이 RING의 형태로 연결되어 있기 때문에, 여러 chiplet에서 필요로 하는 데이터는 한번만 전송하여 모든 chiplet이 활용할 수 있다. 이와 같은 구성을 활용하여 메모리 대역폭을 효율적으로 사용할 수 있다.

- [0065] 그래프 신경망에서 요구하는 데이터는 기본적으로 그래프 및 그래프 노드(정점, vertex)의 feature인 vertex feature를 포함한다. 노드와 노드 사이를 잇는 edge의 feature는 설명의 편의상 생략하기로 한다.
- [0066] 각각의 device는 그에 해당하는 데이터를 지역화해서 자신과 연결된 메모리 에 저장할 수 있고 다른 device에 연결된 메모리에서도 데이터를 읽어올 수 있다.
- [0067] 각각의 device는 multi-chip-module을 이용해서 연결되어 있기 때문에 메모리 대역폭 이상으로도 데이터 통신이 가능한 상태이다. 따라서, 기존의 multi-device 환경과는 다르게 외부의 칩에 저장된 데이터를 읽어오는 비용 자체는 크지 않다. 다만 도 1과 같이 중복되는 데이터 전송으로 인하여 주어진 대역폭을 효과적으로 활용하지 못하는 문제점을 해소하기 위하여 일방향으로 데이터를 순환 구조로 전송하는 방식이 채택될 수 있다.
- [0068] Multi-chip-module을 통해 연결된 chiplet 사이에서 feature가 이동할 때 각각의 chiplet은 인터페이스 부분에서 해당 chiplet이 필요로 하는 feature인지 아닌지를 그래프 데이터를 읽어서 확인할 수 있다. 이때 해당 chiplet이 필요로 하는 feature 이면 Processing Unit으로 전달하고 그렇지 않으면 받은 feature를 무시한다.
- [0069] 예를 들어 chip "A"에서 feature를 보내고 chip "B"에서 필요로 하는 feature가 아니면 chip "B"는 해당 데이터를 무시한 후, chip "C"로 전달할 수 있다. Chip "C"가 해당 feature를 필요로 하면 Processing Unit으로 전달해서 그래프 연산을 처리한다.
- [0070] 도 3은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스를 포함하는 구체화된 구성을 도시하는 개념도이다.
- [0071] 각 chip(100)들은 내부에 PE(Processing Element)들(120)과 고대역폭 메모리(HBM, High Bandwidth Memory)(130)를 포함할 수 있다.
- [0072] HBM(130)은 도 2를 참고하면 Chip(100)의 외부에 배치될 수도 있고 도 2와 달리 Chip(100)의 내부에 배치될 수도 있으나 Chip(100) 내부/외부와 무관하게 특정한 Chip(100)에 종속되어 동작할 수 있다.
- [0073] 인터페이스(110)는 다른 chip들과 통신하며, chip(100) 내부의 PEs(120), HBM(130)과 통신할 수 있다.
- [0074] 도 2 및 도 3에 도시된 하나의 chip(100)은 하나의 프로세서 유닛(Processor Unit, PU)에 대응할 수 있다.
- [0075] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 장치는 내에 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 프로세싱 엘리먼트(PE, processing element)(120)를 포함하는 복수개의 프로세서 유닛들을 포함한다.
- [0076] 복수개의 프로세서 유닛들 중 제1 프로세서 유닛은 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 (일측의 인접한 칩/PU인) 제2 프로세서 유닛으로부터 수신하고, 제1 프로세서 유닛은 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하고, 제1 프로세서 유닛은 그래프의 연산의 수행 결과 중 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 (타측의 인접한 칩/PU인) 제3 프로세서 유닛으로 전송한다.
- [0077] 제1 프로세서 유닛은 제1 정점에 대한 특징(Feature) 데이터를 저장할 수 있고, 제1 프로세서 유닛은 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있다.
- [0078] 제1 프로세서 유닛은 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별할 수 있다.
- [0079] 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0080] 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인

제2 데이터로서 생성할 수 있다.

- [0081] 제1 프로세서 유닛은 제2 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0082] 제1 프로세서 유닛은 제1 데이터 중 제3 프로세서 유닛을 목적지로 하는 데이터를 제3 프로세서 유닛으로 전달할 수 있다.
- [0083] 제1 정점에 대한 특징 데이터를 저장하는 제1 프로세서 유닛은 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있고, 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면 제1 데이터를 제3 프로세서 유닛으로 전달할 수 있다.
- [0084] 각 chiplet에 존재하는 인터페이스에서는 어떤 정점의 feature를 받아야 하고 (FilterArr), 어떤 정점의 feature를 외부에 보내야 하는지 (RemoteArr)에 대한 데이터를 기록하고 있다. 해당 Filter Arr / Remote Arr 데이터는 프로그램의 실행 중 혹은 실행 전에 각 chiplet에 존재하는 그래프 데이터를 참조하여 생성될 수 있다.
- [0085] 외부에서 (From remote) 그래프 Vertex ID (VID) 와 feature가 수신되면 VID를 FilterArr에 기록된 VID와 비교한 후에 FilterArr에 수신된 VID가 존재하면 해당 feature와 VID를 Processing Unit (PU)으로 전달한다. 그렇지 않은 경우에는 수신된 VID를 무시하고 다음 절차를 진행할 수 있다.
- [0086] 또한, chiplet의 메모리에서 VID와 feature를 읽은 후에 VID를 RemoteArr과 비교한다. 비교 후에, 해당 VID가 존재한다면 외부로 VID와 feature를 전송할 수 있다. (To remote).
- [0087] 도 4는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스(110)의 동작을 도시하는 개념도이다.
- [0088] 도 4의 설명을 위하여 도 2의 Chip "B"에서 동작을 가정한다.
- [0089] 본 발명의 일 실시예에서는 인터페이스(110) 내의 filter array(210) 내에 8번 VID(Vertex ID) 정보가 요구되고 있으므로 2번 VID의 Feature를 읽은 다음에는 8번 VID의 Feature도 체크된 이후 읽어들이 수 있다. 이때에는 filter array(210) 내의 저장 순서는 무관하게 동작될 수 있다.
- [0090] 본 발명의 다른 일 실시예에서는 filter array(210) 내의 순서대로 VID의 feature를 읽어야 한다. 이때에는 2번 정점의 특징 데이터 다음에 5번 정점의 특징 데이터가 전달되어야 하는데 8번 정점의 특징 데이터가 전달되었으므로 5번 정점이 전달될 때까지 대기할 수도 있다.
- [0091] 도 2 내지 도 4를 함께 참조하면, chip "B"가 제1 프로세서 유닛, chip "A"가 제2 프로세서 유닛, chip "C"가 제3 프로세서 유닛으로 이해될 수 있다. 제1 프로세서 유닛을 기준으로 제1 프로세서 유닛으로 데이터를 직접 전송하는 PU가 제2 프로세서 유닛, 제1 프로세서 유닛으로부터 데이터를 직접 수신하는 PU가 제3 프로세서 유닛일 수 있다.
- [0092] 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치는, 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산에 필요한 데이터를 수신하고 연산을 수행하는 적어도 하나 이상의 제1 프로세싱 엘리먼트(PE, processing element)(120); 및 제1 프로세싱 엘리먼트(120) 및 외부의 프로세서 유닛들과 전자적으로 연결되며, 제1 프로세싱 엘리먼트(120) 및 외부의 프로세서 유닛들 사이에서 데이터를 송수신하는 인터페이스(110)를 포함한다.
- [0093] 인터페이스(110)는, 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 외부의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하고, 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 미리 결정된 제2 프로세서 유닛으로부터 수신된 제1 데이터를 제1 프로세싱 엘리먼트(120)로 전달하고, 제1 프로세싱 엘리먼트(120)에 의하여 얻어지는 그래프의 연산의 수행 결과 중 적어도 일부를 외부의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송한다.
- [0094] 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치는, 제1 프로세싱 엘리먼트(120)와 인터페이스(110)와 전자적으로 연결되며 제1 정점에 대한 특징 데이터를 저장하는 고대역폭 메모리(130)를 더 포함할 수 있다.
- [0095] 인터페이스(110)는 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색할 수 있다.
- [0096] 인터페이스(110)는 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별

할 수 있고, 제2 정점의 식별자를 테이블에 저장할 수 있다.

- [0097] 인터페이스(110)는 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0098] 인터페이스(110)는 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성할 수 있다.
- [0099] 인터페이스(110)는 제2 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0100] 인터페이스(110)는 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면 제1 데이터를 제3 프로세서 유닛으로 전달할 수 있다.
- [0101] 도 5는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치에서 이용되는 일반화된 그래프 데이터 구조의 일 예를 도시하는 개념도이다.
- [0102] 도 5를 참조하면, 그래프에 대한 정보를 나타내는 그래프 데이터 구조의 일 실시예가 도시된다.
- [0103] 그래프 및 feature matrix가 동일한 크기로 나누어 각 chip(100)에 할당될 수 있다. 이때 각 chip(100)에 할당된 feature matrix를 Tile 이라고 지칭할 수 있다.
- [0104] Adjacency matrix에서는 하나의 그래프에 대응하는 양쪽 end vertex 중 destination vertex에 기반하여 그 그래프 데이터가 할당되는 chip(100) 및 Tile이 결정될 수 있다.
- [0105] 다른 어플리케이션에 따라서는 반대로 source vertex에 기반하여 그 그래프 데이터가 할당되는 chip(100) 및 Tile이 결정될 수도 있다.
- [0106] Feature matrix에서는 vertex ID에 기반하여 할당되는 chip(100) 및 Tile이 결정되고, 각 vertex ID에 대응하는 feature가 feature dimension에 기록될 수 있다.
- [0107] 도 6은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치에서 이용되는 상세한 그래프 데이터 구조의 일 예를 도시하는 개념도이다.
- [0108] 도 6을 참조하면 본 발명의 일 실시예에 따른 그래프 데이터 구조가 제안된다.
- [0109] 그래프 데이터 구조에는 종래 기술의 CSR(compressed sparse row) 포맷이 이용될 수 있다. 본 발명의 일 실시예에서 제안되는 그래프 데이터 구조에서는 tiled offset array(230) 및 edges(240)가 구분되어 저장되는 데이터 구조가 도시된다.
- [0110] 도 5 및 도 6을 함께 참조하면, chip A의 HBM에서 관리하는 destination VID 0에 관련되는 그래프 정보가 도 6을 통하여 도시된다.
- [0111] Tiled offset array (230)에는 원하는 src VID가 어떤 chip에 저장되는 지에 대한 정보가 저장될 수 있다.
- [0112] 각 chip이 관리하는 dest VID와 그래프를 형성함으로써 dest VID에 영향을 미치는 src VID에 대하여 탐색하기 위한 address 정보로서 해당 src VID가 어떤 chip에 저장되는 지에 대한 정보를 tiled offset 이라고 명명할 수 있다.
- [0113] Edges (240)에는 Tiled offset array (230)의 정보 각각에 대응하는 그 src VID가 저장될 수 있다.
- [0114] 도 7은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 원격 어레이를 생성하는 과정을 도시하는 개념도이다.
- [0115] Preprocessing time에 각 chip(100)의 dest VID에 관련되는 그래프에 대한 연산이 수행될 수 있다.
- [0116] 연산의 수행 결과로 인하여 VID 들의 상태가 변경되어야 하면, 첫째로 dest VID는 각 chip(100) 자신이 관리하므로 그대로 내부 HBM(130)에 업데이트(저장)하면 되고, 둘째로 src VID 중 각 chip(100) 자신이 관리하는 VID는 역시 그대로 내부 HBM(130)에 업데이트하여 저장할 수 있다.
- [0117] 인터페이스(110)는 연산의 수행 결과로 인하여 변경되어야 하는 VID 중에서 다른 칩/타일에서 관리하는 VID 및 그 feature를 Destination chip으로 전송하기 위하여 remote array를 생성할 수 있다.
- [0118] 도 7에서 예시된 그래프는 1-0, 4-0, 7-0, 1-6, 2-6, 3-6 이며, chip0에서 처리된 1-0, 4-0, 7-0 그래프와 관련된 정점들은 0, 1, 4, 7이고, 이들 중 0,1 은 chip0의 HBM(130)에서 업데이트하여 저장하고, 정점 4, 7은

remote array(220)에 기록한 후 chip1을 목적지로 하여 링 형태의 네트워크를 경유하여 전송할 수 있다.

- [0119] Chip1에서 처리된 1-6, 2-6, 3-6 그래프와 관련된 정점들은 1, 2, 3, 6이고, 이들 중 정점 6은 chip1의 HBM에 업데이트하여 저장하고, 정점 1, 2, 3은 remote array에 기록한 후 chip0을 목적지로 하여 링 형태의 네트워크를 경유하여 전송할 수 있다.
- [0120] 도 8은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 필터 어레이를 생성하는 과정을 도시하는 개념도이다.
- [0121] 도 8을 참조하면 인터페이스(110)는 내부에 필터 어레이(210)를 포함하고, 참조되는 그래프 정보는 Tiled offsets (230) 및 Edges (240) 필드를 포함할 수 있다.
- [0122] 프로세싱 엘리먼트들(120)과 인터페이스(110) 사이에 필터 제너레이터(112)가 배치될 수 있으며, 필터 제너레이터(112)와 상호작용할 수 있는 복수개의 레지스터(register)들이 배치될 수 있다.
- [0123] "reg"는 각 PEs(120)에 할당되는 Destination vertex ID들과 from/to 정보를 저장하는 레지스터(register)일 수 있다.
- [0124] "srcs"는 각 PEs(120)가 Destination vertex ID와 관련된 연산을 처리하기 위하여 필요로 하는 source vertex ID들을 저장하는 레지스터일 수 있다.
- [0125] 도 8에서는 정해진 VID 관련된 연산을 모두 처리하면 그 다음 VID 관련된 연산이 처리될 수 있다.
- [0126] 도 9는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 그래프 데이터 구조를 읽어들이는 과정을 도시하는 개념도이다.
- [0127] 도 9를 참조하면, 다음의 단계를 거쳐 인터페이스(110)에서 그래프 데이터 구조를 읽어들이 수 있다.
- [0128] S310: 해당 chip이 관리하는 dest VID (3)과 그래프를 형성하는 src VID를 탐색하기 위해 tiled offsets (230)를 탐색할 수 있다.
- [0129] S320: tiled offsets (230)를 참조하여 dest VID (3)과 그래프를 형성하는 src VID가 속한 tile에 대한 address (offset) 정보가 있으면 register에 전달할 수 있다.
- [0130] S330: S320에서 수신된 address (offset) 정보에 기초하여 해당 chip이 관리하는 dest VID (3)과 그래프를 형성하는 src VID (not known)를 edges (240)에서 탐색할 수 있다.
- [0131] S340: 해당 chip이 관리하는 dest VID (3)과 그래프를 형성하는 src VID (4)가 포함되어 있으므로 이를 알리고 처리해야 할 src VID 리스트에 저장할 수 있다.
- [0132] 이상의 단계와 별도의 과정을 통하여 src VID (4)에 대응하는 Feature를 읽어서 가져올 수 있다. 이때 가져온 src VID 및 그 feature가 Pes(120)에 전달될 수 있다.
- [0133] 도 10 내지 도 12는 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 장치의 인터페이스에서 필터 어레이를 생성하는 과정을 순차적으로 도시하는 개념도이다.
- [0134] 도 10을 참조하면, Filter generator(112)는 복수개의 PEs(120)로 이루어진 그룹 내에서 같은 tile 내의 src VID들 중에서 max값을 탐색할 수 있다.
- [0135] 이 같은 과정은 복수개의 PEs(120)를 포함하는 그룹 내의 하나의 tile 내의 src VID들의 범위를 탐색하는 것과 동등한 과정으로 이해될 수 있다.
- [0136] 가장 왼쪽의 제1 PEs 그룹에서는 Tile 0에서 정점 0, 1, 2가 요구되고, Tile 1에서는 정점 4의 특정 데이터가 요구된다. 왼쪽에서 세번째인 제3 PEs 그룹에서는 Tile 0에서 정점 1이 요구되고, Tile 7에서는 정점 7의 특정 데이터가 요구된다.
- [0137] 이때 제1 PEs 그룹에서 Tile 0에 대하여 가장 큰 VID인 "2"가 max 값으로 탐색되고, 제3 PEs 그룹에서 Tile 0에 대하여 가장 큰 VID인 "1"이 max 값으로 탐색될 수 있다.
- [0138] 도 11을 참조하면, Filter generator(112)는 복수개의 PEs(120)를 포함하는 그룹에 대하여 동일한 tile에서 받은 max src VID들 중에서 min 값을 찾은 후, 그 min 까지의 src VID들을 요청할 수 있다.
- [0139] 이 같은 과정은 복수개의 PEs 그룹에 걸쳐서 동일한 tile 내에서 공통적으로 호출되는 src VID들의 범위를 탐색

하는 것과 동등한 과정으로 이해될 수 있다.

- [0140] 이 같은 과정은 첫번째 PEs 그룹과 세번째 PEs 그룹 사이에 2번 src VID에 대한 정보의 버전이 서로 달라지는 것을 방지하는 용도로 활용될 수 있다.
- [0141] 세번째 PEs 그룹에서는 tile 0번의 0번째는 해당없음, 1번은 해당함을 확인했지만 아직 2번 src VID는 현재 버전을 필요로 하는 지 확인되지 않았다.
- [0142] 그런데 첫번째 PEs 그룹에서 tile 번의 0~2번 VID에 대한 연산을 수행하고 2번 VID 정보를 변경하면, 세번째 PEs 그룹은 2번 VID에 대한 잘못된 버전의 정보를 받아서 연산에 활용할 우려가 있다. 도 10 내지 도 11의 과정은 이 같은 오류를 사전에 방지하기 위한 용도로 활용될 수 있다.
- [0143] 도 12를 참조하면, Filter generator(112)는 복수개의 PEs(120)을 포함하는 그룹에 대하여 수신한 src VIDs에서 중복되는 VID를 제거하고 sort한 데이터를 filter array(210)에 저장할 수 있다.
- [0144] 도 13은 본 발명의 일 실시예에 따른 그래프 신경망 기계 학습 방법을 도시하는 동작 흐름도이다.
- [0145] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 그래프 신경망(GNN, graph neural network)의 기계 학습을 위하여 그래프의 연산을 수행하는 복수개의 프로세서 유닛들 중 제1 프로세서 유닛이 그래프의 연산을 수행하는 데에 필요한 데이터의 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 제2 프로세서 유닛으로부터 수신하는 단계(S410); 제1 프로세서 유닛이 그래프를 형성하는 정점(vertex)들 간의 관계 정보에 기반하여 제2 프로세서 유닛으로부터 수신된 제1 데이터를 이용하여 그래프의 연산을 수행하는 단계(S440); 및 제1 프로세서 유닛이 그래프의 연산의 수행 결과 중 적어도 일부를 복수개의 프로세서 유닛들 중 미리 결정된 제3 프로세서 유닛으로 전송하는 단계(S460)를 포함한다.
- [0146] 그래프의 연산을 수행하는 단계(S440)는, 제1 정점에 대한 특징 데이터를 저장하는 제1 프로세서 유닛이 제1 정점과 관련되는 그래프의 연산을 수행하는 데에 필요한 제2 정점의 특징 데이터를 제1 데이터로부터 탐색하는 단계(S430)를 포함할 수 있다.
- [0147] 그래프의 연산을 수행하는 단계(S440)는, 제1 프로세서 유닛이 그래프를 형성하는 정점들 간의 관계 정보에 기반하여 제1 정점과 관련되는 제2 정점을 식별하는 단계(S420)를 더 포함할 수 있다. 다만 단계(S420)는 반드시 단계(S410) 이후에 수행되는 것은 아니고, 본 발명의 다른 실시예에 따르면 단계(S420)는 전처리 과정에 의하여 단계(S410) 이전에 이미 실행되고 그 결과로서 제2 정점에 대한 리스트가 Filter Array (210)에 저장될 수 있다.
- [0148] 제3 프로세서 유닛으로 전송하는 단계(S460)에서, 제1 프로세서 유닛은 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 제3 프로세서 유닛으로 전송할 수 있다.
- [0149] 제3 프로세서 유닛으로 전송하는 단계(S460)는, 제1 프로세서 유닛이 그래프의 연산의 수행 결과로서 갱신되는 제2 정점의 특징 데이터를 원격 전송 데이터인 제2 데이터로서 생성하는 단계(S450); 및 제1 프로세서 유닛이 제2 데이터를 제3 프로세서 유닛으로 전송하는 단계를 포함할 수 있다.
- [0150] 도 14는 도 13의 과정의 일부를 더욱 상세히 도시하는 동작 흐름도이다.
- [0151] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 제1 프로세서 유닛이 제1 데이터 중 제3 프로세서 유닛을 목적으로 하는 데이터를 제3 프로세서 유닛으로 전달하는 단계를 더 포함할 수 있다.
- [0152] 본 발명의 일 실시예에 따른 그래프 신경망의 기계 학습 방법은, 제1 데이터에서 제2 정점의 특징 데이터가 발견되지 않으면(S432) 제1 데이터를 제3 프로세서 유닛으로 전달하는 단계(S470)를 더 포함할 수 있다.
- [0153] 도 15는 도 1 내지 도 14의 과정의 적어도 일부를 수행할 수 있는 일반화된 그래프 신경망 기계 학습 장치, 인터페이스 장치, 또는 컴퓨팅 시스템의 예시를 도시하는 개념도이다.
- [0154] 도 1 내지 도 14의 실시예에서도 도면 상으로는 생략되었으나 프로세서, 및 메모리가 전자적으로 각 구성 요소와 연결되고, 프로세서에 의하여 각 구성 요소의 동작이 제어되거나 관리될 수 있다.
- [0155] 본 발명의 일 실시예에 따른 방법의 적어도 일부의 과정은 도 15의 컴퓨팅 시스템(1000)에 의하여 실행될 수 있다.
- [0156] 도 15를 참조하면, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(1000)은, 프로세서(1100), 메모리(1200), 통신 인터페이스(1300), 저장 장치(1400), 입력 인터페이스(1500), 출력 인터페이스(1600) 및 버스(bus)(1700)를 포

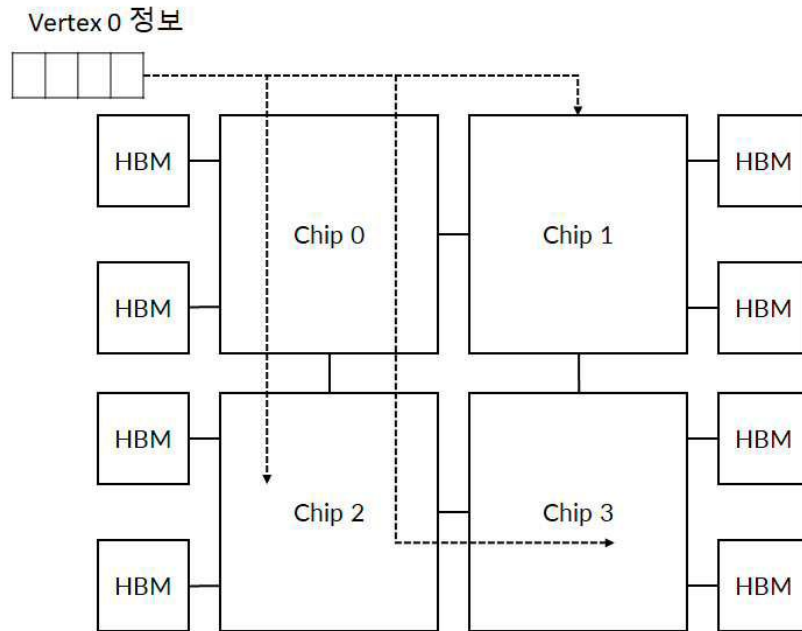
함하여 구성될 수 있다.

- [0157] 본 발명의 일 실시예에 따른 컴퓨팅 시스템(1000)은, 적어도 하나의 프로세서(processor)(1100) 및 상기 적어도 하나의 프로세서(1100)가 적어도 하나의 단계를 수행하도록 지시하는 명령어들(instructions)을 저장하는 메모리(memory)(1200)를 포함할 수 있다. 본 발명의 일 실시예에 따른 방법의 적어도 일부의 단계는 상기 적어도 하나의 프로세서(1100)가 상기 메모리(1200)로부터 명령어들을 로드하여 실행함으로써 수행될 수 있다.
- [0158] 프로세서(1100)는 중앙 처리 장치(central processing unit, CPU), 그래픽 처리 장치(graphics processing unit, GPU), 또는 본 발명의 실시예들에 따른 방법들이 수행되는 전용의 프로세서를 의미할 수 있다.
- [0159] 메모리(1200) 및 저장 장치(1400) 각각은 휘발성 저장 매체 및 비휘발성 저장 매체 중에서 적어도 하나로 구성될 수 있다. 예를 들어, 메모리(1200)는 읽기 전용 메모리(read only memory, ROM) 및 랜덤 액세스 메모리(random access memory, RAM) 중에서 적어도 하나로 구성될 수 있다.
- [0160] 또한, 컴퓨팅 시스템(1000)은, 무선 네트워크를 통해 통신을 수행하는 통신 인터페이스(1300)를 포함할 수 있다.
- [0161] 또한, 컴퓨팅 시스템(1000)은, 저장 장치(1400), 입력 인터페이스(1500), 출력 인터페이스(1600) 등을 더 포함할 수 있다.
- [0162] 또한, 컴퓨팅 시스템(1000)에 포함된 각각의 구성 요소들은 버스(bus)(1700)에 의해 연결되어 서로 통신을 수행할 수 있다.
- [0163] 본 발명의 컴퓨팅 시스템(1000)의 예를 들면, 통신 가능한 데스크탑 컴퓨터(desktop computer), 랩탑 컴퓨터(laptop computer), 노트북(notebook), 스마트폰(smart phone), 태블릿 PC(tablet PC), 모바일폰(mobile phone), 스마트 워치(smart watch), 스마트 글래스(smart glass), e-book 리더기, PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 디지털 카메라(digital camera), DMB(digital multimedia broadcasting) 재생기, 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), PDA(Personal Digital Assistant) 등일 수 있다.
- [0164] 본 발명의 실시예에 따른 방법의 동작은 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 프로그램 또는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의해 읽힐 수 있는 정보가 저장되는 모든 종류의 기록장치를 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산 방식으로 컴퓨터로 읽을 수 있는 프로그램 또는 코드가 저장되고 실행될 수 있다.
- [0165] 또한, 컴퓨터가 읽을 수 있는 기록매체는 롬(rom), 램(ram), 플래시 메모리(flash memory) 등과 같이 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치를 포함할 수 있다. 프로그램 명령은 컴파일러(compiler)에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터(interpreter) 등을 사용해서 컴퓨터에 의해 실행될 수 있는 고급 언어 코드를 포함할 수 있다.
- [0166] 본 발명의 일부 측면들은 장치의 문맥에서 설명되었으나, 그것은 상응하는 방법에 따른 설명 또한 나타낼 수 있고, 여기서 블록 또는 장치는 방법 단계 또는 방법 단계의 특징에 상응한다. 유사하게, 방법의 문맥에서 설명된 측면들은 또한 상응하는 블록 또는 아이템 또는 상응하는 장치의 특징으로 나타낼 수 있다. 방법 단계들의 몇몇 또는 전부는 예를 들어, 마이크로프로세서, 프로그램 가능한 컴퓨터 또는 전자 회로와 같은 하드웨어 장치에 의해(또는 이용하여) 수행될 수 있다. 몇몇의 실시 예에서, 가장 중요한 방법 단계들의 적어도 하나 이상은 이와 같은 장치에 의해 수행될 수 있다.
- [0167] 실시예들에서, 프로그램 가능한 로직 장치(예를 들어, 필드 프로그래머블 게이트 어레이)가 여기서 설명된 방법들의 기능의 일부 또는 전부를 수행하기 위해 사용될 수 있다. 실시예들에서, 필드 프로그래머블 게이트 어레이(field-programmable gate array)는 여기서 설명된 방법들 중 하나를 수행하기 위한 마이크로프로세서(microprocessor)와 함께 작동할 수 있다. 일반적으로, 방법들은 어떤 하드웨어 장치에 의해 수행되는 것이 바람직하다.
- [0168] 이상 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및

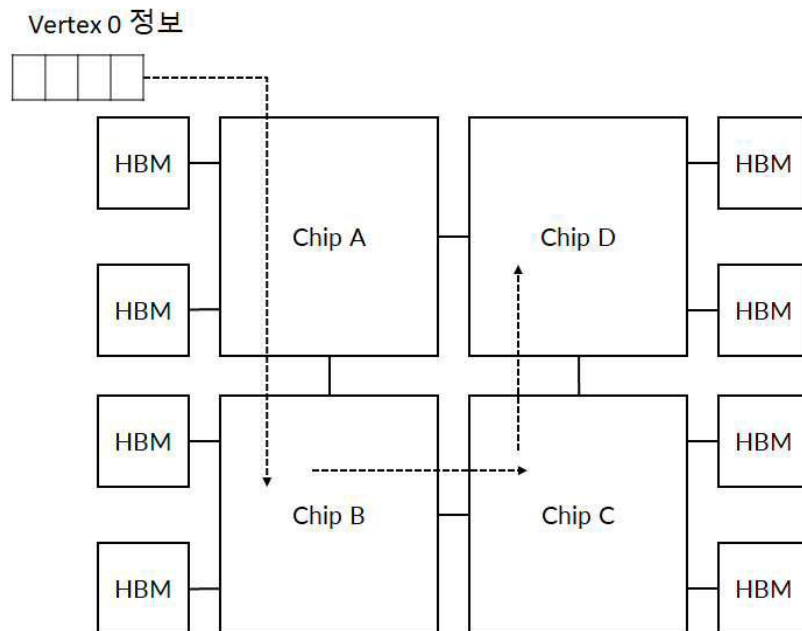
변경시킬 수 있음을 이해할 수 있을 것이다.

도면

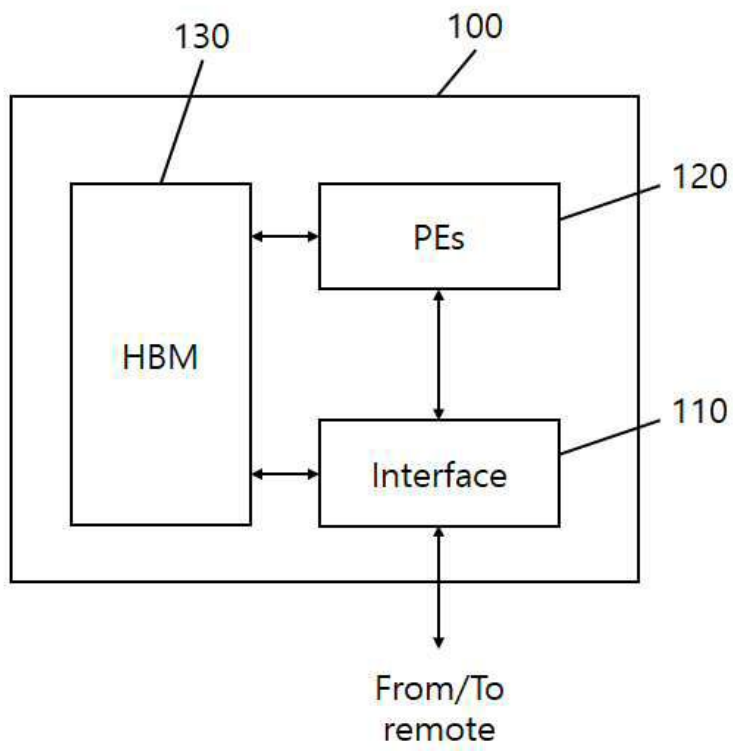
도면1



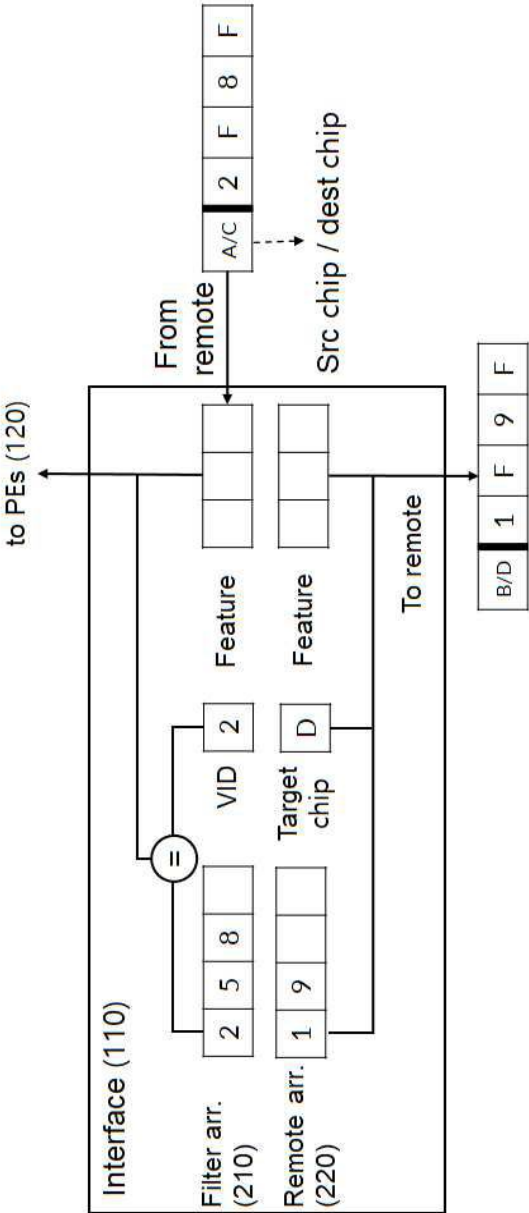
도면2



도면3



도면4



도면5

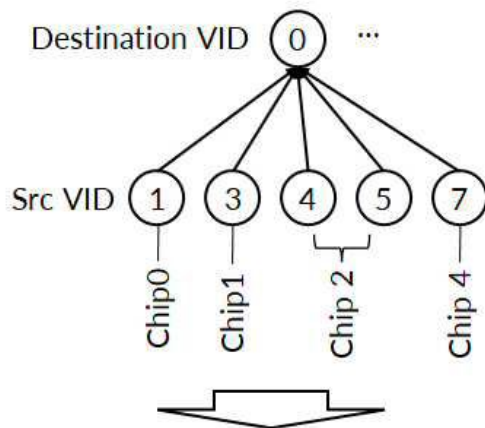
	srcs								Feature dimension
	0	1	2	3	4	5	6	7	
0	Chip 0								Chip 0 (Tile 0)
2	Chip 1								Chip 1 (Tile 1)
4	Chip 2								Chip 2 (Tile 2)
6	Chip 3								Chip 3 (Tile 3)

Feature matrix

	dests								Vertex IDs
	0	1	2	3	4	5	6	7	
0	Chip 0								0
2	Chip 1								2
4	Chip 2								4
6	Chip 3								6

Adjacency matrix

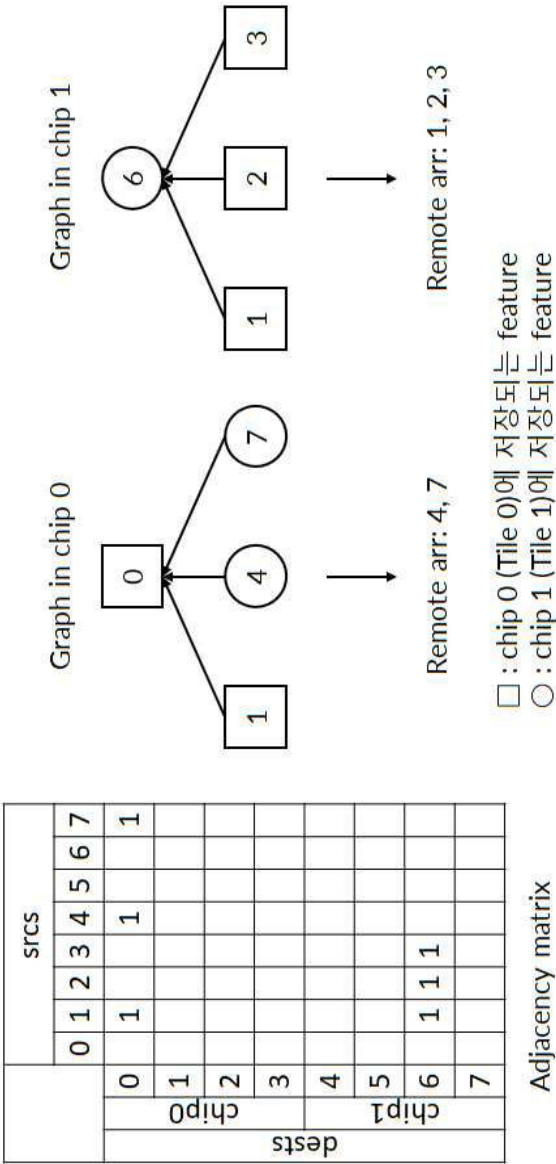
도면6



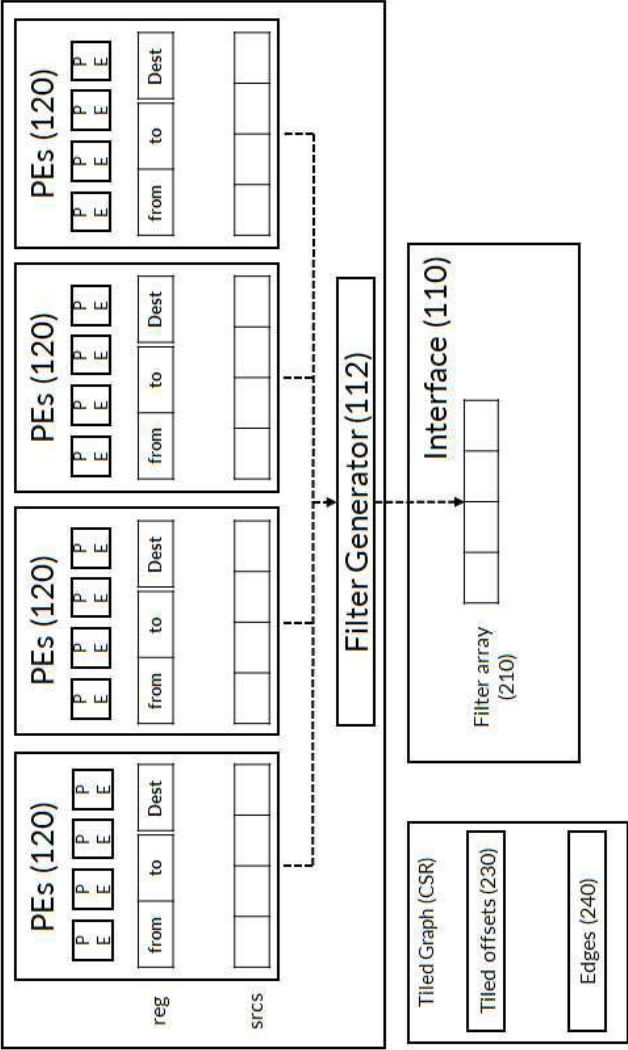
VID 0 관련 그래프에 대하여 기술하는 데이터 구조

Index (Dest VID)	0	1	...			
Tiled offset array (230)	0	1	2	4	5	...
Edges (240)	1	3	4	5	7	...

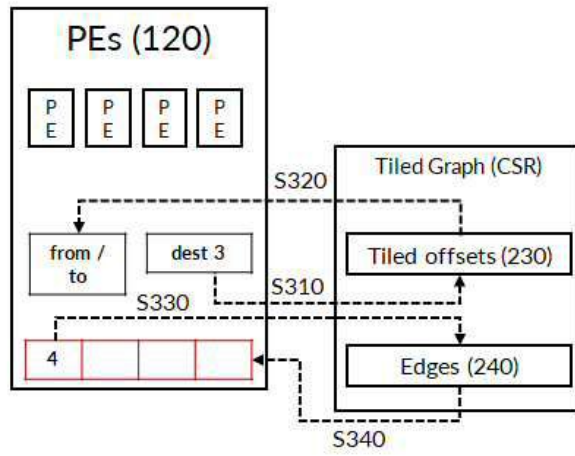
도면7



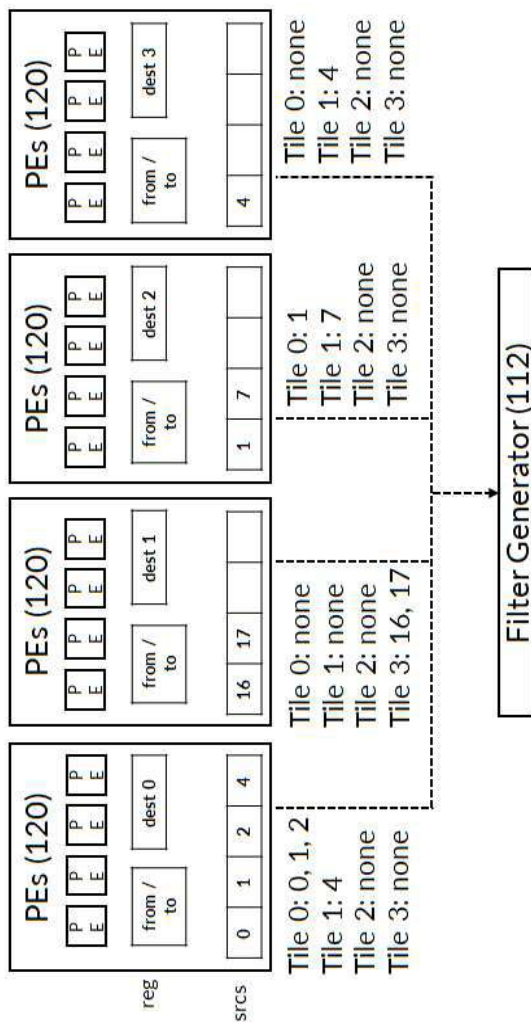
도면8



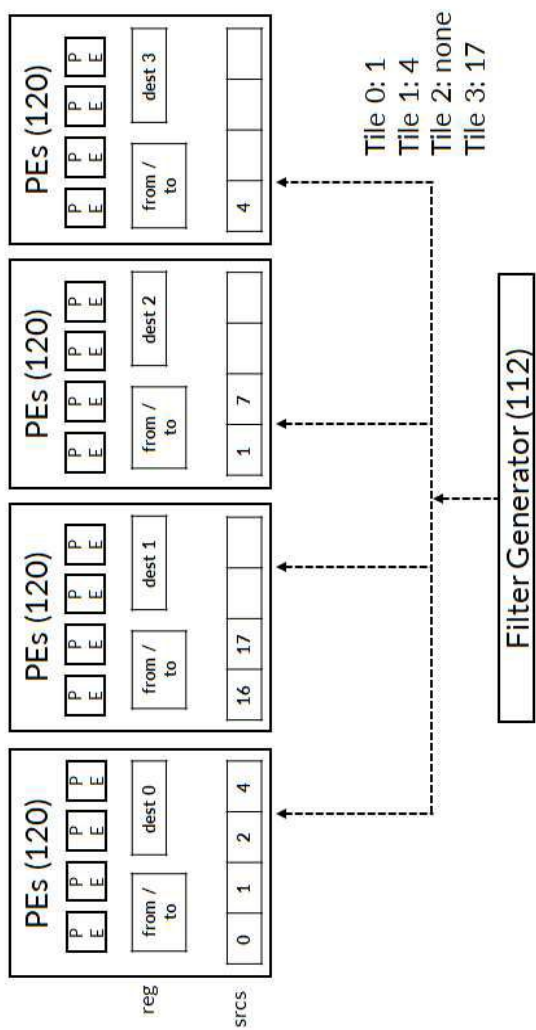
도면9



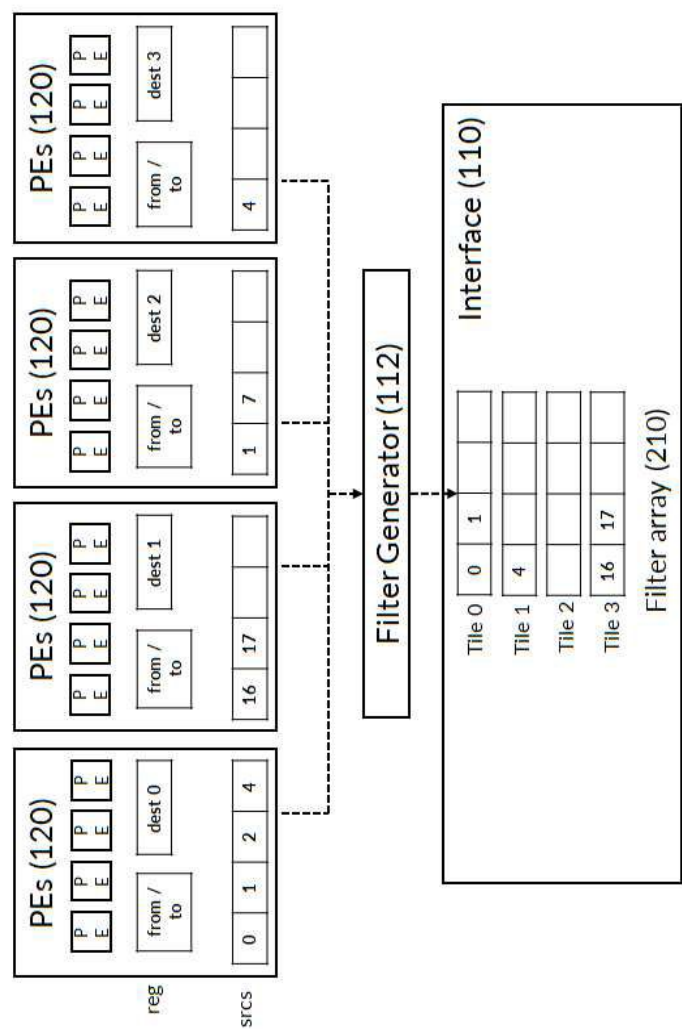
도면10



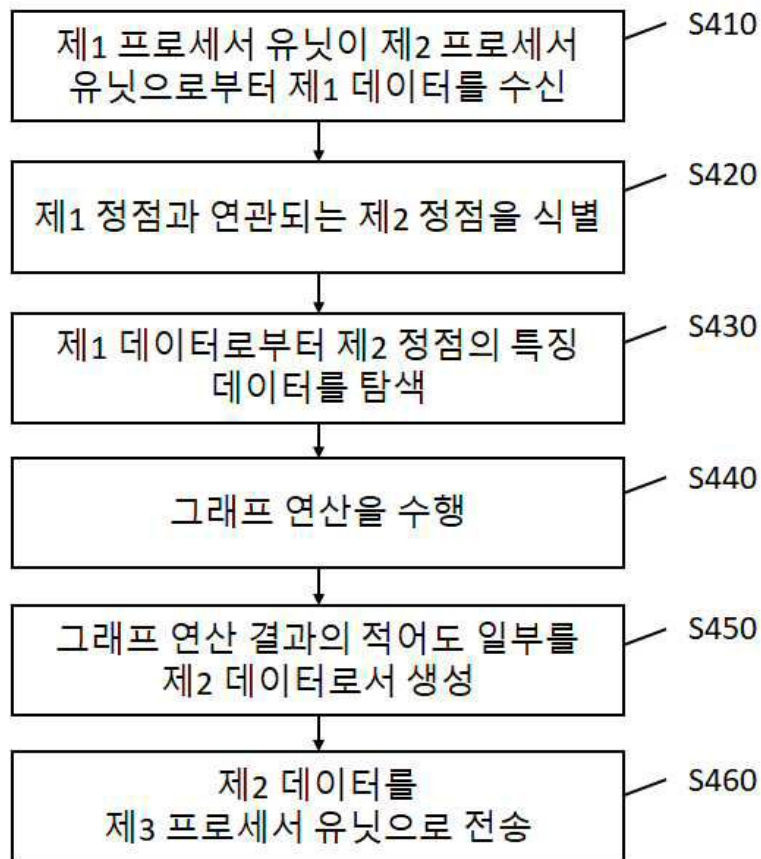
도면11



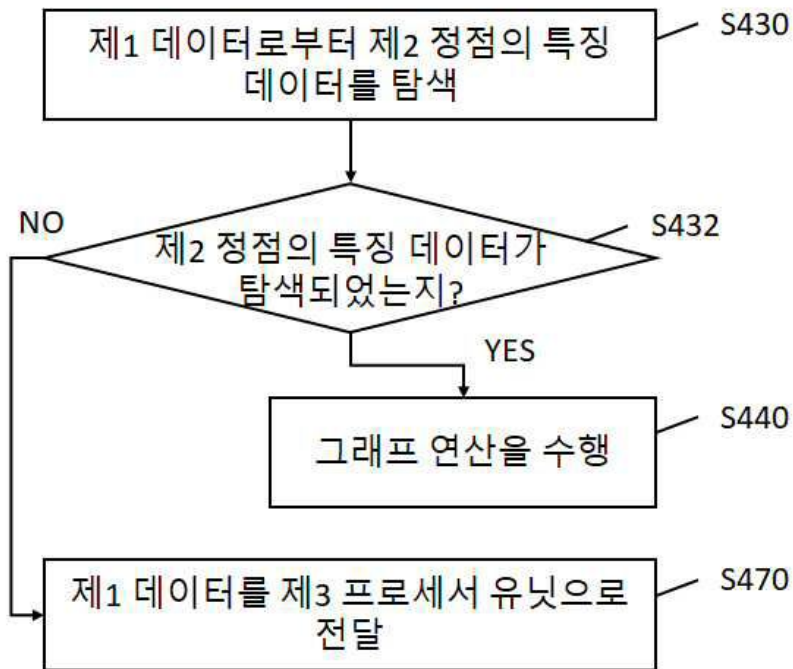
도면12



도면13



도면14



도면15

