



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0161375  
(43) 공개일자 2024년11월12일

- (51) 국제특허분류(Int. Cl.)  
G06F 30/392 (2020.01) G06F 111/04 (2020.01)  
G06F 117/12 (2020.01) G06F 30/27 (2020.01)  
G06F 30/398 (2020.01) G06N 3/0464 (2023.01)  
G06N 3/08 (2023.01) G06N 5/04 (2023.01)
- (52) CPC특허분류  
G06F 30/392 (2020.01)  
G06F 30/27 (2020.01)
- (21) 출원번호 10-2023-0058398
- (22) 출원일자 2023년05월04일  
심사청구일자 2023년05월04일
- (71) 출원인  
포항공과대학교 산학협력단  
경상북도 포항시 남구 청암로 77 (지곡동)
- (72) 발명자  
김병섭  
경상북도 포항시 남구 청암로 77  
정순규  
경상북도 포항시 남구 청암로 77
- (74) 대리인  
특허법인(유한)아이시스

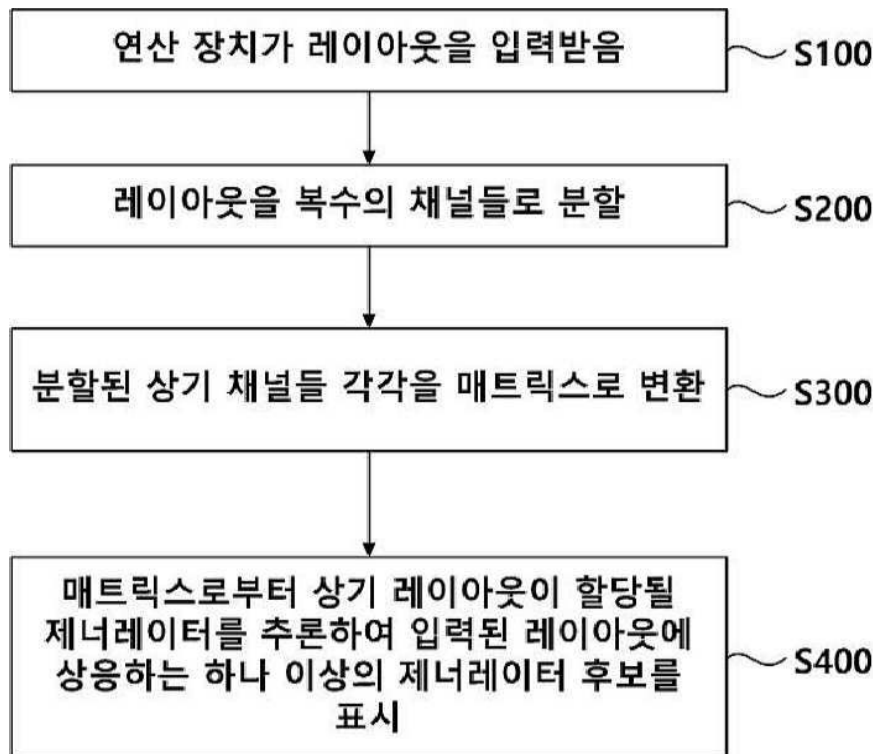
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 반도체 레이아웃의 제너레이터 할당 방법, 할당 학습 방법 및 연산 장치

(57) 요약

본 실시예는 연산장치가 수행하는 반도체 레이아웃의 제너레이터 할당 방법과 관련되며, 상기 할당 방법은: 연산 장치가 상기 레이아웃을 입력받는 입력 단계와, 상기 레이아웃을 복수의 채널들로 분할하는 분할 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계와, 상기 매트릭스로부터 상기 레이아웃에 할당될 제너레이터 (뒷면에 계속)

대표도 - 도1



를 추천하는 추천 단계를 포함하며, 상기 추천 단계는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행된다.

또한, 본 실시예는 반도체 레이아웃에 제너레이터를 할당하는 연산장치 학습 방법과 관련되며, 상기 할당 학습 방법은: 상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계 및 변환된 채널들로 신경망을 학습시키는 학습 단계를 포함하며, 상기 전처리 단계는, 설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하여 수행한다.

(52) CPC특허분류

*G06F 30/398* (2020.01)

*G06N 3/0464* (2023.01)

*G06N 3/08* (2023.01)

*G06N 5/04* (2023.01)

*G06F 2111/04* (2020.01)

*G06F 2117/12* (2020.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711141604
과제번호	2021I100
부처명	과학기술정보통신부
과제관리(전문)기관명	(재단)과학기술일자리진흥원
연구사업명	공공연구성과활용촉진(R&D)
연구과제명	Analog Layout SW 고도화 및 RCD 실용화 지원 연구
기 여 율	1/1
과제수행기관명	포항공과대학
연구기간	2021.07.01 ~ 2021.12.31

---

## 명세서

### 청구범위

#### 청구항 1

연산장치가 수행하는 반도체 레이아웃의 제너레이터 할당 방법으로, 상기 할당 방법은:  
연산장치가 상기 레이아웃을 입력받는 입력 단계와,  
상기 레이아웃을 복수의 채널들로 분할하는 분할 단계와,  
분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계와,  
상기 레이아웃을 생성할 수 있는 제너레이터를 상기 매트릭스로부터 추론하는 추론 단계를 포함하며,  
상기 추론 단계는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행되는 할당 방법.

#### 청구항 2

제1항에 있어서,  
상기 추론 단계 이후에  
상기 레이아웃에 제너레이터를 할당하는 할당 단계를 더 포함하는 할당 방법.

#### 청구항 3

제1항에 있어서,  
입력된 상기 레이아웃은,  
반도체 회로에 포함된 복수의 서브 셀들을 포함하는 레이아웃이고,  
상기 추론 단계는,  
입력된 상기 복수의 서브 셀들의 레이아웃 각각에 대한 제너레이터 후보들을 표시하여 수행되는 할당 방법.

#### 청구항 4

제1항에 있어서,  
상기 연산 장치가 입력받는 상기 레이아웃은,  
반도체 회로에 포함되어 사용자가 지정한 복수의 서브 셀들의 레이아웃인 할당 방법.

#### 청구항 5

제1항에 있어서,  
상기 분할 단계는,  
반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고,  
반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행하는 할당 방법.

#### 청구항 6

제1항에 있어서,  
상기 분할 단계는,

상기 반도체 회로에서 동일한 기능을 수행하는 피지컬 레이어는 동일한 채널로 분할하여 수행하는 할당 방법.

#### 청구항 7

제1항에 있어서,

상기 추론 단계는,

특징 추출 레이어 및 완전 연결층을 포함하는 학습된 컨벌루션 신경망을 이용하여 수행하는 할당 방법.

#### 청구항 8

제7항에 있어서,

상기 추론 단계는,

채널 축소 레이어를 더 포함하는 학습된 컨벌루션 신경망을 이용하여 수행하는 할당 방법.

#### 청구항 9

제2항에 있어서,

상기 할당 단계는,

입력된 상기 레이아웃과, 상기 하나 이상의 제너레이터 후보들이 상응할 확률을 더 표시하여 수행되는 할당 방법.

#### 청구항 10

반도체 레이아웃에 제너레이터를 할당하는 연산장치 학습 방법으로, 상기 할당 학습 방법은:

상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계와,

분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계 및

변환된 채널들로 신경망을 학습시키는 학습 단계를 포함하며,

상기 전처리 단계는,

설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하여 수행하는 할당 학습 방법.

#### 청구항 11

제10항에 있어서,

상기 전처리 단계는,

상기 반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고,

상기 반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행하는 할당 학습 방법.

#### 청구항 12

제10항에 있어서,

상기 전처리 단계에서,

상기 반도체 회로에서 동일한 기능을 수행하는 피지컬 레이어는 동일한 채널로 분할하여 수행하는 할당 학습 방법.

#### 청구항 13

제10항에 있어서,

상기 신경망은,  
컨벌루션 신경망(convolution neural network)으로, 상기 컨벌루션 신경망은,  
하나 이상의 컨벌루션 층과,  
하나 이상의 풀링 층 및  
하나 이상의 완전 연결 층을 포함하는 할당 학습 방법.

#### 청구항 14

반도체 레이아웃에 제너레이터를 할당하기 위한 연산 장치로, 상기 연산 장치는:

적어도 하나 이상의 프로세서; 및

상기 프로세서에 의해 실행되는 하나 이상의 프로그램을 저장하는 메모리를 포함하며, 상기 프로그램들은 하나 이상의 프로세서에 의해 실행될 때, 상기 하나 이상의 프로세서들에서, 반도체 레이아웃의 제너레이터 할당 방법이 수행되며, 상기 제너레이터 할당 방법은:

상기 반도체 레이아웃을 입력받는 입력 단계와,

상기 반도체 레이아웃을 복수의 채널들로 분할하는 분할 단계와,

분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계와,

상기 매트릭스로부터 상기 레이아웃에 할당될 제너레이터를 추론하는 추론 단계를 포함하며,

상기 추론 단계는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행되는 연산 장치.

#### 청구항 15

제14항에 있어서,

상기 추론 단계는,

입력된 상기 레이아웃과 상기 하나 이상의 제너레이터 후보들과 상응하는 확률을 더 표시하여 수행되는 연산 장치.

#### 청구항 16

제14항에 있어서,

상기 단말이 입력받는 상기 레이아웃은,

반도체 회로에 포함된 복수의 서브 셀들의 레이아웃이고,

상기 추론 단계는,

입력된 상기 복수의 서브 셀들의 레이아웃 각각에 대한 제너레이터 후보들을 표시하여 수행되는 연산 장치.

#### 청구항 17

제14항에 있어서,

상기 단말이 입력받는 상기 레이아웃은,

반도체 회로에 포함되어 사용자가 지정한 복수의 서브 셀들의 레이아웃인 연산 장치.

#### 청구항 18

제14항에 있어서,

상기 분할 단계는,

반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고,

반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행하는 연산 장치.

**청구항 19**

제14항에 있어서,

상기 분할 단계에서,

상기 반도체 회로에서 동일한 기능을 수행하는 는 동일한 채널로 분할하여 수행하는 연산 장치.

**청구항 20**

제14항에 있어서,

상기 추론 단계는,

하나 이상의 컨벌루션 연산층과,

하나 이상의 풀링층 및

완전 연결 레이어를 포함하는 학습된 컨벌루션 신경망을 이용하여 수행하는 연산 장치.

**청구항 21**

제14항에 있어서,

상기 연산 장치는,

상기 반도체 레이아웃의 제너레이터 할당 방법의 수행 전에 상기 반도체 레이아웃의 제너레이터 할당 학습 방법이 더 수행되며, 상기 할당 학습 방법은:

상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계와,

분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계를 포함하며,

상기 입력 단계는,

설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하여 수행하는 연산 장치.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 일반적으로 반도체 레이아웃의 제너레이터 할당 방법, 할당 학습 방법 및 연산 장치와 관련된다.

**배경 기술**

[0002] 아날로그 회로, 디지털 회로 혹은 아날로그 신호와 디지털 신호를 처리하는 혼성 신호 처리 회로는 결국 반도체 소자로 구현되며, 반도체 소자는 설계자가 레이아웃 하여 구현된다. 종래에는 설계자가 소자의 요소들을 그려서 회로를 설계한 후, 설계 규칙(design rule)에 따라 레이아웃을 수정하는 등의 과정을 거쳐 회로를 완성하였다.

[0003] 설계자의 수작업을 통하여 반도체 회로의 설계가 수행되어 회로를 설계하는 과정은 점차 제너레이터 기반의 반도체 회로 레이아웃 설계 방법으로 전환되는 추세이다. 제너레이터 기반의 레이아웃 설계 기술은 설계자로부터 파라미터를 제공 받고 입력된 파라미터에 상응하고, 설계 규칙에 부합하는 레이아웃을 자동으로 생성한다.

[0004] 설계자가 수작업으로 설계한 레이아웃은 하나의 고정된 파라미터에 상응하는 레이아웃만 형성할 수 있음에 반하여, 제너레이터 기술은 코딩을 통해서 한 번의 작업으로 여러 가지 가변적인 크기, 특성 및 디자인을 생성할 수 있다.

[0005] 이러한 제너레이터 기반의 레이아웃 설계는 고속 동작이 필요한 회로, 낮은 전력 소모를 요구하는 회로, 많은 데이터의 고속 처리를 요청하는 높은 성능을 요구하는 반도체 레이아웃 설계에서 효과적으로 사용된다.

**발명의 내용**

**해결하려는 과제**

- [0006] 설계자가 반도체 레이아웃을 제네레이터로 변환하는 경우에, 설계자는 제네레이터로 생성 가능한 레이아웃이나 그 서브셀에 상응하는 제네레이터를 사용하도록 할당하는 과정이 필요하다.
- [0007] 그러나, 반도체 회로 기술이 비약적으로 발전함에 따라 반도체가 다층의 계층 구조로 이루어지고, 단일한 최상층 셀에 무수히 많은 하위 계층의 서브 셀들이 포함될 수 있으므로 이들 각각의 서브 셀들에 대하여 상응하는 제너레이터를 할당하는 과정에서 서브 셀의 복잡한 이름을 기억해야 하고, 동시에 제네레이터 라이브러리의 이름, 클래스 이름, 함수의 인자 이름 등을 명시하여야 하며 하위 셀의 종류가 많아지고, 기존에 설계한 제네레이터 라이브러리 종류가 많아질수록 제네레이터 할당에 걸리는 시간이 기하급수적으로 커져 결과적으로 많은 시간과 인력이 소모되어 결과적으로 생산성이 낮아진다.
- [0008] 본 실시예로 해결하고자 하는 과제 중 하나는 이러한 종래 기술의 단점을 해소하기 위한 것이다. 본 실시예로 해결하고자 하는 과제 중 하나는 반도체 레이아웃 설계시 소모되는 시간과 인력을 감소시켜 생산성을 향상시키기 위한 것이다.

**과제의 해결 수단**

- [0009] 본 실시예는 연산장치가 수행하는 반도체 레이아웃의 제너레이터 할당 방법으로, 상기 할당 방법은: 연산장치가 상기 레이아웃을 입력받는 입력 단계와, 상기 레이아웃을 복수의 채널들로 분할하는 분할 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계와, 상기 레이아웃을 생성할 수 있는 제너레이터를 상기 매트릭스로부터 추론하는 추론 단계를 포함하며, 상기 추론 단계는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행된다.
- [0010] 본 실시예의 어느 한 측면에서, 상기 추론 단계 이후에 상기 레이아웃에 제너레이터를 할당하는 할당 단계를 더 포함한다.
- [0011] 본 실시예의 어느 한 측면에서, 입력된 상기 레이아웃은, 반도체 회로에 포함된 복수의 서브 셀들을 포함하는 레이아웃이고, 상기 추론 단계는, 입력된 상기 복수의 서브 셀들의 레이아웃 각각에 대한 제너레이터 후보들을 표시하여 수행된다.
- [0012] 본 실시예의 어느 한 측면에서, 상기 연산 장치가 입력받는 상기 레이아웃은, 반도체 회로에 포함되어 사용자가 지정한 복수의 서브 셀들의 레이아웃이다.
- [0013] 본 실시예의 어느 한 측면에서, 상기 분할 단계는, 반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고, 반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행한다.
- [0014] 본 실시예의 어느 한 측면에서, 상기 분할 단계는, 상기 반도체 회로에서 동일한 기능을 수행하는 피지컬 레이어는 동일한 채널로 분할하여 수행한다. 본 실시예의 어느 한 측면에서, 상기 추론 단계는, 특징 추출 레이어 및 완전 연결층을 포함하는 학습된 컨벌루션 신경망을 이용하여 수행한다.
- [0015] 본 실시예의 어느 한 측면에서, 상기 추론 단계는, 채널 축소 레이어를 더 포함하는 학습된 컨벌루션 신경망을 이용하여 수행한다.
- [0016] 본 실시예의 어느 한 측면에서, 상기 할당 단계는, 입력된 상기 레이아웃과, 상기 하나 이상의 제너레이터 후보들이 상응할 확률을 더 표시하여 수행된다.
- [0017] 다른 실시예는 반도체 레이아웃에 제너레이터를 할당하는 연산장치 학습 방법으로, 상기 할당 학습 방법은: 상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계 및 변환된 채널들로 신경망을 학습시키는 학습 단계를 포함하며, 상기 전처리 단계는, 설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하여 수행한다.
- [0018] 어느 한 측면에서, 상기 전처리 단계는, 상기 반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고, 상기 반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행한다.
- [0019] 어느 한 측면에서, 상기 전처리 단계에서, 상기 반도체 회로에서 동일한 기능을 수행하는 피지컬 레이어는 동일

한 채널로 분할하여 수행한다.

- [0020] 어느 한 측면에서, 상기 신경망은, 컨벌루션 신경망(convolution neural network)으로, 상기 컨벌루션 신경망은, 하나 이상의 컨벌루션 층과, 하나 이상의 풀링 층 및 하나 이상의 완전 연결 층을 포함한다.
- [0021] 또 다른 실시예는 반도체 레이아웃에 제너레이터를 할당하기 위한 연산 장치로, 상기 연산 장치는: 적어도 하나 이상의 프로세서; 및 상기 프로세서에 의해 실행되는 하나 이상의 프로그램을 저장하는 메모리를 포함하며, 상기 프로그램들은 하나 이상의 프로세서에 의해 실행될 때, 상기 하나 이상의 프로세서들에서, 반도체 레이아웃의 제너레이터 할당 방법이 수행되며, 상기 제너레이터 할당 방법은: 상기 반도체 레이아웃을 입력받는 입력 단계와, 상기 반도체 레이아웃을 복수의 채널들로 분할하는 분할 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계와, 상기 매트릭스로부터 상기 레이아웃에 할당될 제너레이터를 추론하는 추론 단계를 포함하며, 상기 추론 단계는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행된다.
- [0022] 어느 한 측면에서, 상기 추론 단계는, 입력된 상기 레이아웃과 상기 하나 이상의 제너레이터 후보들과 상응하는 확률을 더 표시하여 수행된다.
- [0023] 어느 한 측면에서, 상기 단말이 입력받는 상기 레이아웃은, 반도체 회로에 포함된 복수의 서브 셀들의 레이아웃이고, 상기 추론 단계는, 입력된 상기 복수의 서브 셀들의 레이아웃 각각에 대한 제너레이터 후보들을 표시하여 수행된다.
- [0024] 어느 한 측면에서, 상기 단말이 입력받는 상기 레이아웃은, 반도체 회로에 포함되어 사용자가 지정한 복수의 서브 셀들의 레이아웃이다.
- [0025] 어느 한 측면에서, 상기 분할 단계는, 반도체 회로에 포함된 피지컬 레이어들 각각을 상응하는 채널로 분할하여 수행하고, 반도체 회로에 포함된 동일한 피지컬 레이어는 동일한 채널로 분할하여 수행한다.
- [0026] 어느 한 측면에서, 상기 분할 단계에서, 상기 반도체 회로에서 동일한 기능을 수행하는 피지컬 레이어는 동일한 채널로 분할하여 수행한다.
- [0027] 어느 한 측면에서, 상기 추론 단계는, 하나 이상의 컨벌루션 연산층과, 하나 이상의 풀링층 및 완전 연결 레이어를 포함하는 학습된 컨벌루션 신경망을 이용하여 수행한다.
- [0028] 어느 한 측면에서, 상기 연산 장치는, 상기 반도체 레이아웃의 제너레이터 할당 방법의 수행 전에 상기 반도체 레이아웃의 제너레이터 할당 학습 방법이 더 수행되며, 상기 할당 학습 방법은: 상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계를 포함하며, 상기 입력 단계는, 설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하여 수행한다.

**발명의 효과**

- [0029] 본 실시예에 의하면 반도체 회로의 레이아웃 설계 생산성을 향상시킬 수 있다는 장점이 제공된다.

**도면의 간단한 설명**

- [0030] 도 1은 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 방법의 개요를 도시한 순서도이다.
- 도 2는 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 학습 방법의 개요를 도시한 순서도이다.
- 도 3은 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 학습 방법 및 반도체 레이아웃의 제너레이터 할당 방법을 수행하는 연산 장치의 개요를 도시한 블록도이다.
- 도 4는 평면 MOS 트랜지스터의 레이아웃을 개요적으로 도시한 평면도이다.
- 도 5는 도 4에서 도시된 액티브 피지컬 레이어(AL), 폴리 피지컬 레이어(PL), 메탈 피지컬 레이어(ML) 및 컨택 피지컬 레이어(CL)가 복수의 행과 열이 규칙적으로 배열된 매트릭스 형태로 표시된 것을 예시한 도면이다.
- 도 6은 분할된 복수의 레이어로 신경망을 학습시키거나 추론하는 단계에 사용되는 신경망의 구조를 예시한 도면이다.
- 도 7은 인버터의 예시적 레이아웃이다.



도 8은 인버터 레이아웃을 입력받고, 인버터 레이아웃의 서브셀들에 각각 적절한 제너레이터를 추론 및 할당하는 경우를 예시한 도면이다.

도 9는 레이아웃-제너레이터 실험에서 사용된 예시적인 RX0 회로의 레이아웃을 예시한 도면이다.

도 10은 설계자가 CMOS1 공정과는 다른 CMOS2 공정으로 직접 설계한 고속 I/O 트랜시버 회로의 레이아웃이다.

도 11(a)와 도 11(b)는 같은 제너레이터에 서로 다른 중첩비를 가지도록 서로 다른 설계 파라미터를 같은 제너레이터에 입력하여 설계된 저항 유닛들의 예이다.

**발명을 실시하기 위한 구체적인 내용**

[0031] 이하에서는 첨부된 도면들을 참조하여 본 실시예를 설명한다. 도 1은 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 방법의 개요를 도시한 순서도이다. 도 1을 참조하면, 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 방법은: 연산 장치(1, 도 3 참조)가 레이아웃을 입력받는 입력 단계(S100)와, 레이아웃을 복수의 채널들로 분할하는 분할 단계(S200)와, 분할된 채널들 각각을 매트릭스로 변환하는 변환 단계(S300)와, 매트릭스로부터 레이아웃에 할당될 제너레이터를 추론하는 추론 단계(S400)를 포함하며, 추론 단계는 입력된 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하여 수행된다.

[0032] 도 2는 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 학습 방법의 개요를 도시한 순서도이다. 도 2를 참조하면, 반도체 레이아웃의 제너레이터 할당 학습 방법은: 레이아웃을 입력받고, 레이아웃을 복수의 채널들로 분할하는 전처리 단계(S10)와, 분할된 채널들 각각을 매트릭스로 변환하는 변환 단계(S20) 및 변환된 채널들로 신경망을 학습시키는 학습 단계(S30)를 포함하며, 상기 전처리 단계는 설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 신경망에 입력하여 수행한다.

[0033] 도 3은 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 학습 방법 및 반도체 레이아웃의 제너레이터 할당 방법을 수행하는 연산 장치(1)의 개요를 도시한 블록도이다. 도 3을 참조하면, 본 실시예에 따른 연산 장치(1)는 입력부(21), 출력부(22), 프로세서(25), 메모리(24) 및 데이터 스토리지(23)를 포함할 수 있다. 도 3의 연산 장치(1)는 일 실시예에 따른 것으로서, 도 3에 도시된 모든 블록이 필수 구성요소는 아니며, 다른 실시예에서 연산 장치(1)에 포함된 일부 블록이 추가, 변경 또는 삭제될 수 있다. 한편, 연산 장치(1)는 반도체 레이아웃의 제너레이터 할당 학습 방법 및 반도체 레이아웃의 제너레이터 할당 방법을 수행하는 컴퓨팅 장치로 구현될 수 있으며, 연산 장치(1)에 포함된 각 구성 요소들은 각각 별도의 소프트웨어 장치로 구현되거나, 소프트웨어가 결합된 별도의 하드웨어 장치로 구현될 수 있다.

[0034] 연산 장치(1)는 레이아웃을 입력받는 입력 단계(S100)와, 상기 레이아웃을 복수의 채널들로 분할하는 분할 단계(S200)와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계(S300)와, 상기 매트릭스로부터 상기 레이아웃에 할당될 제너레이터를 추론하는 추론 단계(S400)를 수행하며, 상기 추론 단계(S400)는 입력된 상기 레이아웃에 상응하는 하나 이상의 제너레이터 후보를 표시하도록 수행되는 반도체 레이아웃의 제너레이터 할당 방법을 수행한다.

[0035] 또한, 연산 장치(1)는 상기 레이아웃을 입력받고, 상기 레이아웃을 복수의 채널들로 분할하는 전처리 단계(S10)와, 분할된 상기 채널들 각각을 매트릭스로 변환하는 변환 단계(S20) 및 변환된 매트릭스들로 신경망을 학습시키는 학습 단계(S30)를 포함하며, 상기 전처리 단계는, 설계자가 수작업으로 설계한 하나 이상의 레이아웃 및 상기 제너레이터에 파라미터를 입력하여 형성된 하나 이상의 레이아웃 중 어느 하나 이상의 레이아웃을 상기 신경망에 입력하는 반도체 레이아웃의 제너레이터 할당 학습 방법을 수행한다.

[0036] 입력부(21)는 신경망(200)을 학습시키거나, 서브셀들에 제너레이터를 할당시키기 위해 반도체의 레이아웃을 입력받는 수단을 의미한다. 또한, 입력부(21)는 프로세서(25)와 연동하여 사용자가 설계한 레이아웃 혹은 제너레이터로 생성된 레이아웃을 입력받거나, 외부 장치와 연동하여 직접 데이터를 획득하여 프로세서(25)로 전달할 수도 있다. 입력부(21)는 로그 정보(log), 다양한 조건정보 또는 제어신호 등을 입력하거나 입력받기 위한 장치 또는 서버일 수 있으나 반드시 이에 한정되는 것은 아니다.

[0037] 출력부(22)는 프로세서(25)와 연동하여 입력된 레이아웃, 생성된 제너레이터 및 이들의 정보를 표시할 수 있다. 출력부(22)는 소정의 정보를 출력하기 위하여 연산 장치(1)에 구비된 디스플레이(미도시), 스피커 등을 통해 다양한 정보를 표시하는 것이 바람직하나 반드시 이에 한정되는 것은 아니다.

- [0038] 프로세서(25)는 메모리(24)에 저장된 적어도 하나의 명령어 또는 프로그램을 수행한다. 본 실시예에 따른 프로세서(25)는 입력부(21) 또는 데이터 스토리지(23)로부터 획득한 데이터를 기반으로 각 단계를 수행하기 위한 데이터를 연산한다.
- [0039] 메모리(24)는 프로세서(25)에 의해 실행 가능한 적어도 하나의 명령어 또는 프로그램을 포함한다. 메모리(24)는 데이터 스토리지(23)에 저장된 처리를 수행하기 위한 명령어 또는 프로그램을 페치(fetch)하여 저장할 수 있다. 메모리(24)는 각 단계에서 수행된 결과, 중간값 등의 연관된 값들을 저장할 수 있다.
- [0040] 데이터 스토리지(23)는 데이터 스토리지 관리 프로그램(DBMS)을 이용하여 컴퓨터 시스템의 저장공간(하드디스크 또는 메모리)에 구현된 일반적인 데이터 구조를 의미한다. 데이터 스토리지(23)는 데이터의 검색(추출), 삭제, 편집, 추가 등을 자유롭게 행할 수 있다. 일 실시예로, 데이터 스토리지(23)에는 본 실시예에 의한 제네레이터 할당 방법이 프로세서(25)에 의하여 수행되어 구동되도록 컴파일된 명령(instruction)들을 저장할 수 있다. 메모리(24)는 프로세서(25)의 요청으로 해당 명령들을 페치(fetch)할 수 있다.
- [0041] 본 실시예에 따른 데이터 스토리지(23)는 입력부(21)를 통해 제공된 레이아웃에서 서브 셀의 제너레이터 할당 결과 및 사용자 제한 조건을 제공받아 저장할 수 있고, 필요에 따라 저장된 데이터를 제공할 수 있다. 한편, 데이터 스토리지(23)는 연산 장치(1) 내에 구현되는 것으로 기재하고 있으나 반드시 이에 한정되는 것은 아니며, 별도의 데이터 저장장치로 구현될 수도 있다.
- [0042] 이하에서는 도 4를 참조하여 본 실시예에 의한 반도체 레이아웃의 제너레이터 할당 학습 방법을 설명한다. 도 4는 평면 MOS 트랜지스터(planar MOS transistor)의 레이아웃(100)을 개요적으로 도시한 평면도이다. 도 2 내지 도 4를 참조하면, 도 4로 예시된 MOS 트랜지스터(100)는 채널(channel), 게이트(gate), 드레인(drain), 소스(source) 등의 요소를 포함한다. MOS 트랜지스터의 레이아웃(100)은 각각의 요소에 상응하는 피지컬 레이어인 액티브(active) 피지컬 레이어(AL), 폴리(poly) 피지컬 레이어(PL), 메탈(metal) 피지컬 레이어(ML) 및 컨택(contact) 피지컬 레이어(CL)의 중첩으로 표시될 수 있다.
- [0043] 전처리 단계(S10)에서 입력된 레이아웃을 복수의 채널 별로 분할한다(S10). MOS 트랜지스터 뿐만 아니라 설명되지 않은 여러 소자 및 회로들은 설명되지 않은 다수의 요소들을 포함할 수 있으며 이들은 설명된 액티브 피지컬 레이어(AL), 폴리 피지컬 레이어(PL) 등 외에도 설명되지 않은 서로 다른 피지컬 레이어로 구현될 수 있다.
- [0044] 도 5는 도 4로 예시된 MOS 트랜지스터의 레이아웃이 복수의 채널로 분할된 상태를 예시한 도면이다. 도 5를 참조하면, 레이아웃에 포함되어 중첩되어 표시된 복수의 피지컬 레이어들은 각각 서로 다른 채널로 분할된다. 분할된 채널은 예시된 것과 같이 매트릭스 형태로 변환된다(S20).
- [0045] 일 실시예로, 요즈음에는 트랜지스터의 게이트를 금속으로 형성하는 기술도 등장하였다. 폴리 피지컬 레이어와 금속 게이트 피지컬 레이어를 서로 다른 채널로 분류하면, 이 실시예에서와 같이, 같은 제네레이터로 생성이 가능한 두 트랜지스터 레이아웃들에 서로 다른 제네레이터를 할당하도록 학습될 수 있다. 그러나, 폴리 실리콘 게이트와 메탈 게이트는 모두 트랜지스터에서 게이트로 동일한 기능을 수행하므로 동일한 기능을 수행하는 피지컬 레이어들은 동일한 채널로 표현되어 신경망 학습이 수행된다. 따라서, 동일한 기능을 수행하는 서로 다른 피지컬 레이어를 포함한 레이아웃들이 같은 제네레이터로 생성이 가능한지 판별하도록 학습할 수 있다.
- [0046] 도 4에서 도시된 액티브 피지컬 레이어(AL), 폴리 피지컬 레이어(PL), 메탈 피지컬 레이어(ML) 및 컨택 피지컬 레이어(CL)는 도 5로 예시된 것과 같이 액티브 채널(AC), 폴리 채널(PC), 메탈 채널(MC) 및 컨택 채널(CC)로 분할되어 표시되며, 이들 각각의 채널들은 복수의 행과 열이 규칙적으로 배열된 매트릭스 형태로 표시된다. 또한, 각각의 요소에 포함된 피지컬 레이어들에 대응되는 채널에서, 상기 피지컬 레이어에 그려진 패턴의 위치에 해당하는 매트릭스 엘리먼트에는 적절한 숫자가 할당될 수 있다.
- [0047] 일 실시예에서, 제공된 레이아웃은 단일한 트랜지스터에 관한 것으로, 트랜지스터를 설계한 설계자가 트랜지스터를 이용하여 도통시키고자 하는 전류의 최대값, 동작 전압(enduring voltage)의 최대값을 고려하여 설계한 것일 수 있다.
- [0048] 다른 실시예에서, 레이아웃은 제너레이터에 소자의 파라미터를 입력하여 형성된 소자의 레이아웃일 수 있으며, 예를 들어 제공된 레이아웃은 트랜지스터의 설계 파라미터인 채널 폭(W, width), 채널 길이(L, length), 컨택의 개수 등을 제너레이터에 입력하여 형성된 트랜지스터의 레이아웃일 수 있다. 다른 예에서, 제공된 레이아웃은 무작위 파라미터 생성기로 각 제네레이터 별로 요구하는 파라미터 종류의 임의의 값 조합을 생성하고, 이로부터 형성된 레이아웃일 수 있다.

- [0049] 이와 같이 설계자가 설계한 레이아웃과 제너레이터에 파라미터를 입력하여 형성된 레이아웃들을 이용하여 신경망을 학습시킬 수 있다. 일 실시예로 형성된 레이아웃을 전처리하고 변환하여 신경망을 학습시킨다(S30).
- [0050] 도 6은 분할된 복수의 레이어로 신경망을 학습(S30)시키거나 추론(S400)하는 단계에 사용되는 신경망의 구조를 예시한 도면이다. 도 2 내지 도 6을 참조하면, 신경망은 채널 축소 레이어(210)와 특징 추출 레이어(220) 및 완전 연결층(fully connected layer, 230)을 포함할 수 있다.
- [0051] 예시된 신경망(200)의 실시예는 하나 이상의 1x1 커널로 컨벌루션 연산을 수행하여 채널 수를 축소하는 하나의 채널 축소 레이어(210)와 네 개의 컨벌루션 연산층(C01, C02, C03, C04)과 상기 세 개의 컨벌루션 연산층 사이에 각각 배치되는 세 개의 풀링 층(P01, P02, P03)을 포함하는 특징 추출 레이어(220) 및 두 개의 완전 연결 레이어(230)를 예시한다.
- [0052] 최초의 컨벌루션 레이어는 1x1 커널을 사용하여 채널 수와 모델 크기를 감소시킨다. 네 개의 컨벌루션 연산층들(C01, C02, C03, C04)은 모두 3x3 커널로 컨벌루션 연산을 수행하고, 세 개의 풀링 층들(P01, P02, P03)은 2x2 커널로 연산을 수행하여 입력의 특징을 추출한다. 학습 과정을 수행함에 따라 컨벌루션 연산을 수행하는 각각의 커널들의 가중치 값들이 지속적으로 업데이트된다.
- [0053] 이하에서는 상기한 과정을 거쳐 학습된 신경망(200)을 이용하여 레이아웃에 제너레이터를 할당하는 방법을 설명한다. 도 7은 인버터(inverter, 300)의 예시적 레이아웃이고, 도 8은 인버터 레이아웃을 입력받고, 인버터 레이아웃의 서브셀들에 각각 적절한 제너레이터를 추론 및 할당하는 경우를 예시한 도면이다. 도 1 내지 도 8을 참조하면, 연산 장치(1)는 입력부(21)를 통하여 인버터의 레이아웃을 입력받는다. 입력된 레이아웃은 복수의 서브셀들을 포함할 수 있다. 예시된 실시예에서, 인버터(300)는 서브셀들인 복수의 MOS 트랜지스터들과, 복수의 비아들을 포함한다.
- [0054] 예시된 실시예는 단일한 인버터(300)의 레이아웃을 연산 장치(1)의 입력부(21)에 제공하는 것을 예시하나, 다른 실시예에서, 사용자는 인버터(300)의 일부를 선택하고, 선택된 일부만을 입력부(21)에 제공하여 선택된 일부에 포함된 서브셀들을 제너레이터로 전환하도록 할 수 있다.
- [0055] 연산 장치(1)는 입력된 레이아웃을 복수의 채널로 분할한다(S200). 학습과정에서 설명된 바와 같이 레이아웃에 포함된 복수의 요소들은 각각 복수의 피지컬 레이어들로 나뉠 수 있고, 나누어진 피지컬 레이어는 복수의 채널로 분할될 수 있다.
- [0056] 분할된 채널들을 매트릭스 형태로 변환(S300)하여 신경망(200)에 제공한다. 일 실시예로, 학습된 신경망(200)은 입력으로부터 채널수를 줄이고, 특징을 추출한다. 추출된 특징으로부터 입력된 레이아웃에 할당될 수 있는 제너레이터 후보를 출력부(22)로 표시할 수 있다.
- [0057] 도 8은 입력된 인버터 레이아웃의 서브셀들에 제너레이터가 할당된 상태를 도시한 도면이다. 도 8로 예시된 실시예에서, 입력된 인버터(300)의 레이아웃의 서브셀인 PMOS 트랜지스터(PMOS), NMOS 트랜지스터(NMOS), 메탈1과 메탈2 사이의 비아(Met12\_via), 폴리과 메탈1 사이의 비아(PolyMet1\_via), 제1 서플라이 레일(Nbody\_Supply), 제2 서플라이 레일(Pbody\_Supply)에 제너레이터가 할당되어 출력된다.
- [0058] 일 실시예에 의하면, 연산 장치(1)는 입력된 레이아웃에 포함된 서브셀들 중에서 할당되는 제너레이터 후보들과 함께 상응할 확률을 표시할 수 있다. 일 예로, 입력된 레이아웃에 포함된 어느 하나의 서브셀에 대하여 (NMOS 트랜지스터 제너레이터, 89%), (PMOS 트랜지스터 제너레이터, 7%), (비아 제너레이터, 4%)와 같이 할당될 수 있는 제너레이터 후보와 상응할 확률을 함께 표시할 수 있다. 설계자는 제시된 제너레이터 후보와 상응할 확률을 검토하여 레이아웃에 포함된 서브셀들의 레이아웃을 제너레이터로 할당할 수 있다.
- [0059] 다른 실시예에 의하면 연산 장치(1)는 입력된 레이아웃에 포함된 서브셀을 제너레이터 후보들 중에서 가장 높은 상응 확률을 가지는 제너레이터로 할당할 수 있다.
- [0061] **실험예**
- [0062] 이하에서는 도 9, 도 10 내지 도 11을 참조하여 본 실시예의 실험 결과를 살펴본다. 도 9는 레이아웃-제너레이터 실험에서 사용된 예시적인 RX0 회로의 레이아웃을 예시한다. 도 9로 예시된 RX0 회로의 레이아웃은 설계자가 직접 CMOS 공정1로 설계하였다. RX0 회로에 사용된 복수의 서브셀이 할당될 제너레이터들은 제너레이터 라이브러리에 저장되었다.

[0063] 아래의 표 1은 할당의 정확도를 예시한 표이다.

표 1

Generator Templates	Precision	Recall	F1-score	Support
Resistor Bank	100%	100%	100%	1
Slicer unit	80%	100%	89%	4
Sense Amplifier	100%	100%	100%	1
SR latch	100%	100%	100%	1
Resistor Bank Unit	100%	100%	100%	32
Inverter	100%	100%	100%	1
PolyResistor Unit	100%	100%	100%	1
NMOS	100%	100%	100%	21
PMOS	100%	100%	100%	19
BodyContact Supply	100%	100%	100%	5
ViaStackArray(1-2)	100%	100%	100%	233
ViaStackArray(2-3)	100%	100%	100%	166
ViaStackArray(3-4)	100%	100%	100%	131
ViaStackArray(4-5)	100%	100%	100%	68
ViaStackArray(5-6)	100%	100%	100%	33
ViaStackArray(6-7)	100%	100%	100%	34
ViaStackArray(poly-1)	100%	100%	100%	40

[0064]

[0065] 799 개의 서브셀들과 제너레이터를 할당할 수 없는 하나의 서브셀들을 포함하는 총 800 개의 서브셀들로 본 실시예의 할당 정확도를 평가하였다. 단 하나의 서브셀에 제너레이터를 할당하는데 오류가 있었으며, 나머지 하나의 할당 불가능한 서브셀을 포함하는 799개의 서브셀들에 정확하게 제너레이터가 할당되었다.

[0066] 도 10은 설계자가 CMOS1 공정과는 다른 CMOS2 공정으로 직접 설계한 고속 I/O 트랜시버 회로의 레이아웃이며, 본 실시예에 사용된 신경망은 CMOS1 공정으로 설계된 레이아웃으로 학습되었다. 도 10으로 예시된 회로는 284 개의 할당 불가능한 서브 셀들을 포함하는 총 5214 개의 서브셀들을 포함한다. 아래의 표 2는 도 10으로 예시된 회로의 할당의 정확도를 예시한 표이다.

표 2

TRX1	True	False
Positive	4,947	23
Negative	261	10

[0067]

[0068] 본 실시예는 4,947개의 서브 셀들에 정확한 제너레이터의 할당을 제안하였다 (positive true). 또한, 본 실시예는 듀티 사이클 보정(DCC) 회로, 전치 증폭기(pre amplifier), 스위치(switches), 지연 장치(delay unit) 등을 포함하여 제네레이터 할당이 불가능한 261개의 서브 셀들을 올바르게 인식하였다.

[0069] 도 11(a)와 도 11(b)는 같은 제너레이터에 서로 다른 종횡비(aspect ratio)를 가지도록 서로 다른 설계 파라미터를 같은 제네레이터에 입력하여 설계된 저항 유닛(resistor unit)들의 예이다. 도 11(a)와 도 11(b)로 예시된 바와 같이 극단적인 종횡비를 가지는 저항 유닛들은 학습 데이터 세트에 포함되어 있지 않았으며, 따라서 본 실시예는 이러한 극단적인 종횡비를 가진 레이아웃에 대해서 훈련되지 않았다. 그러나, 본 실시예는 도 11(a)와 도 11(b)로 예시된 저항 유닛 레이아웃들을 같은 종류로 인식하고 이들을 생성할 수 있는 제네레이터를 정확히 할당 하였다. 즉 본 실시예에서는 학습을 수행한 학습 데이터 세트에 포함되어 있지 않은 레이아웃들도 올바르게 인식하고 적절한 제네레이터를 할당 할 수 있었다.

[0071] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한

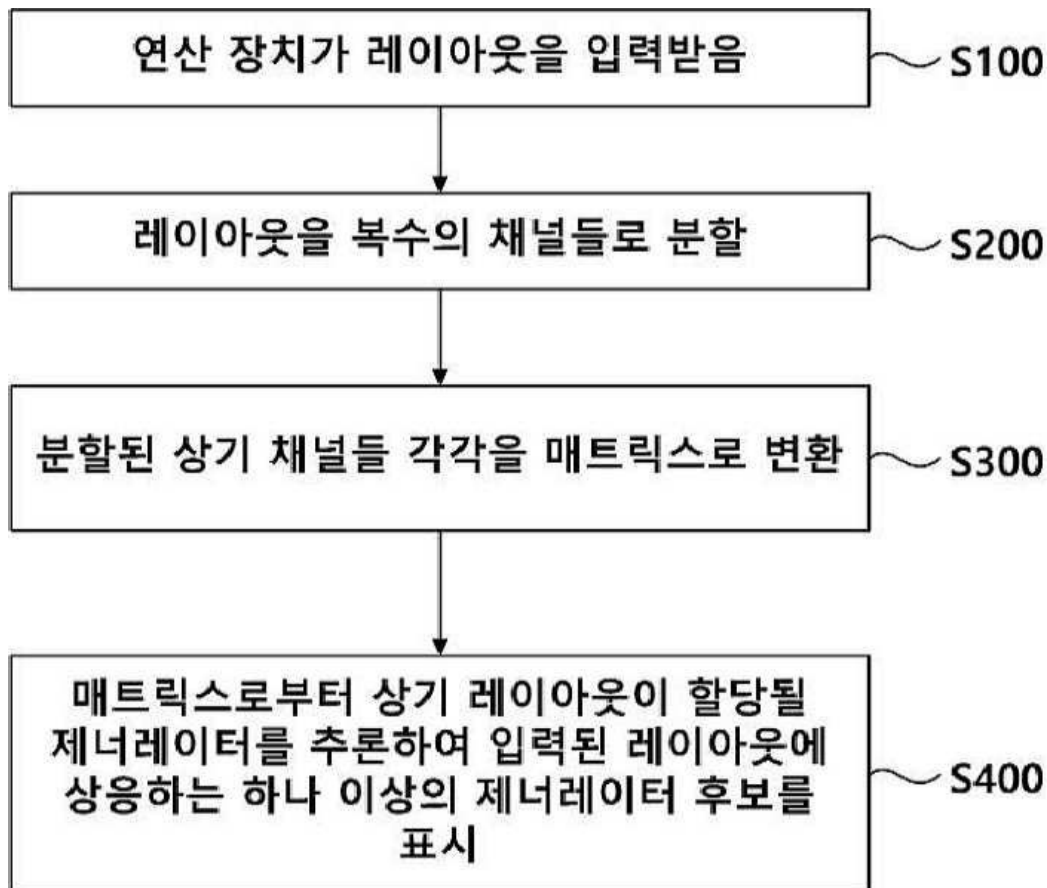
타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

**부호의 설명**

- 1: 연산장치
- 21: 입력부    22: 출력부
- 23: 데이터 스토리지    24: 메모리
- 25: 프로세서    100: MOS 트랜지스터
- 200: 신경망    210: 채널 감소층
- 220: 특징 추출층    230: 완전 연결층
- 300: 인버터

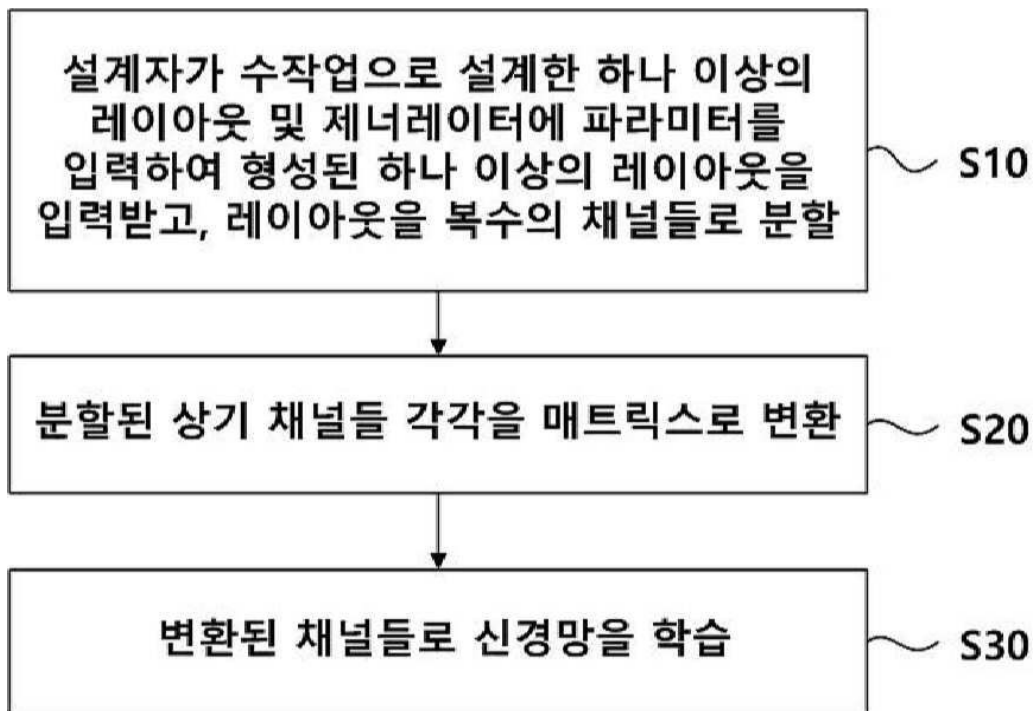
**도면**

**도면1**

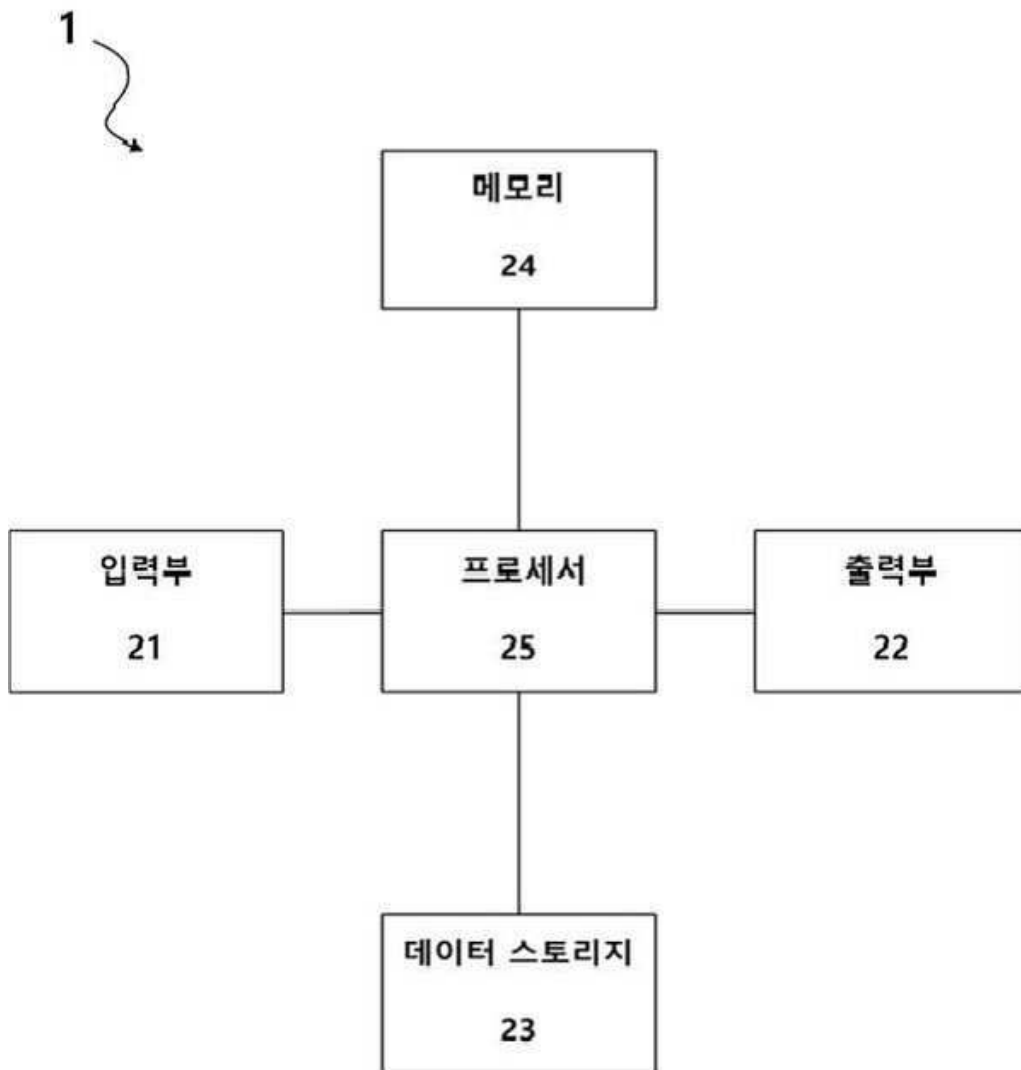




도면2

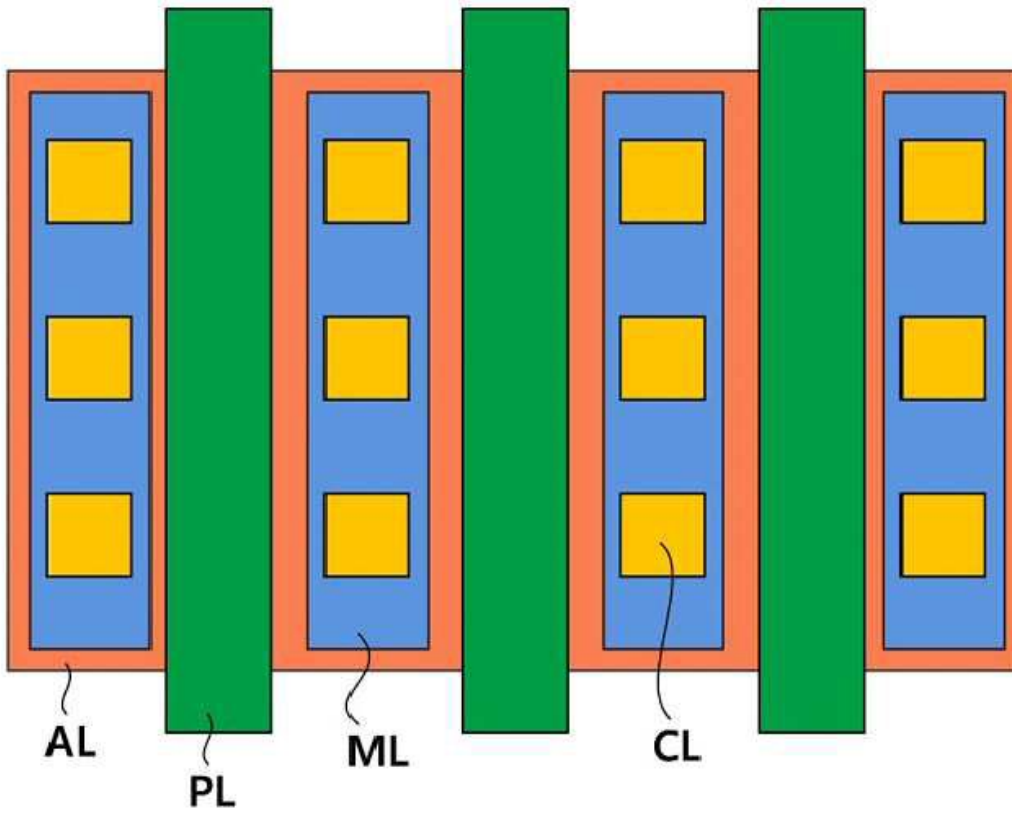


도면3



도면4

100





도면5

AC

0	0	0	0	0	0	0	0	0
0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
0.9	0.9	0.9	0.9	0.9	0.9	0.9	0.9	0.9
0	0	0	0	0	0	0	0	0

PC

0	0	0.9	0	0.9	0	0.9	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0
0	0	0.9	0	0.9	0	0.9	0	0

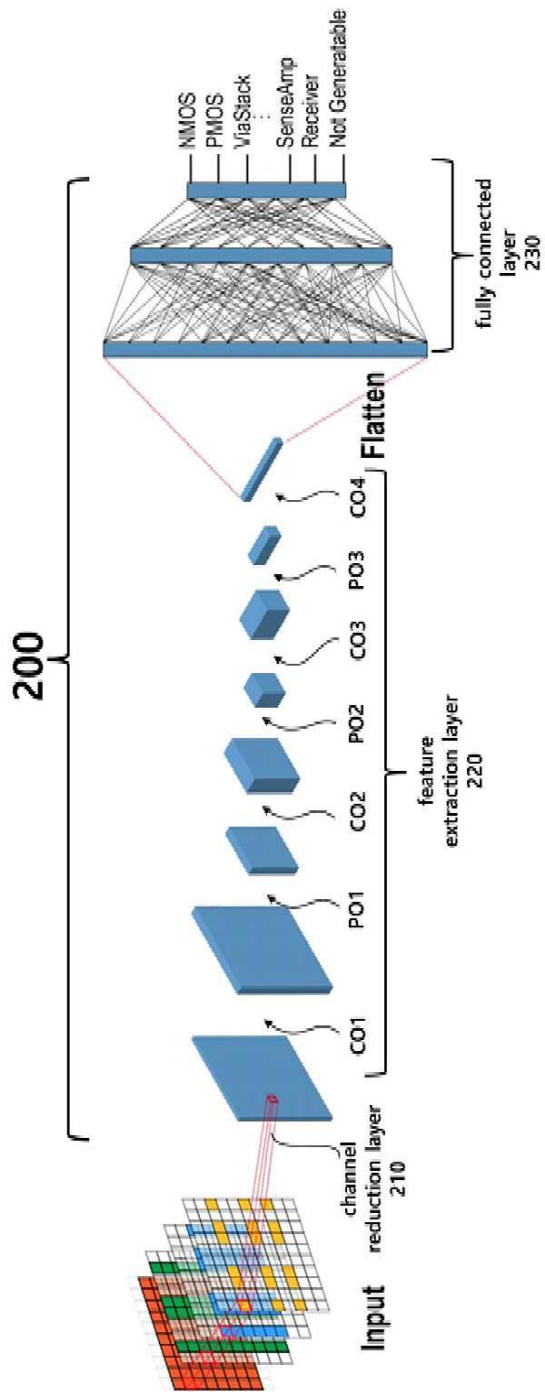
MC

0	0	0	0	0	0	0	0	0
0	0.7	0	0.7	0	0.7	0	0.7	0
0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	0.8	0	0.8	0	0.8	0	0.8	0
0	0	0	0	0	0	0	0	0

CC

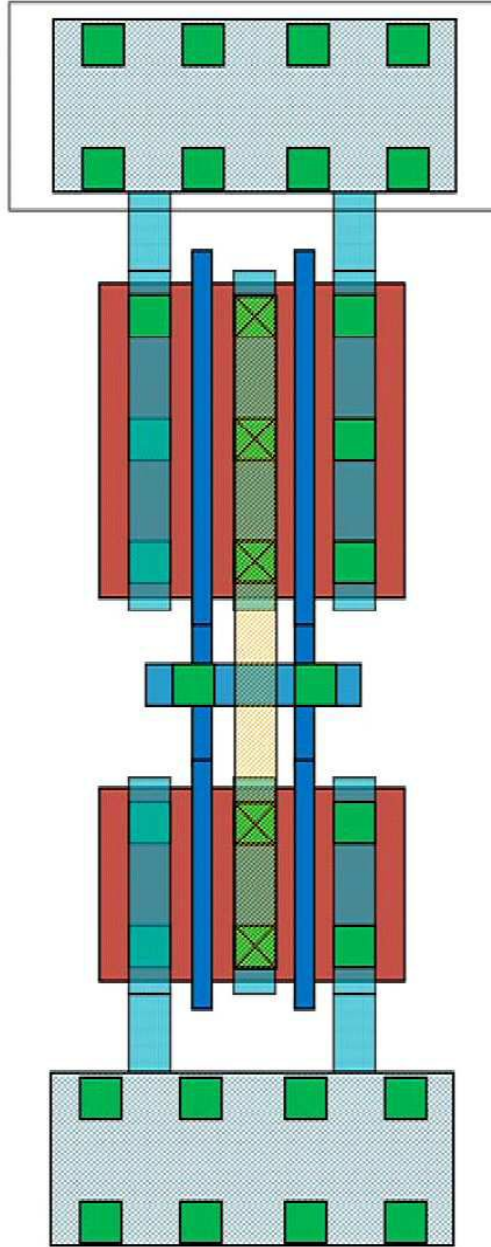
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	1	0	1	0	1	0	1	0
0	0	0	0	0	0	0	0	0
0	1	0	1	0	1	0	1	0
0	0	0	0	0	0	0	0	0
0	1	0	1	0	1	0	1	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0

도면6

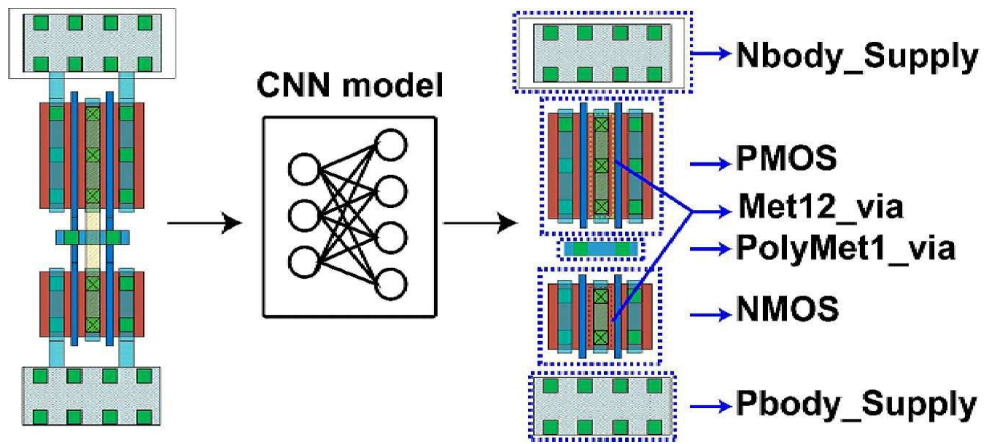


도면7

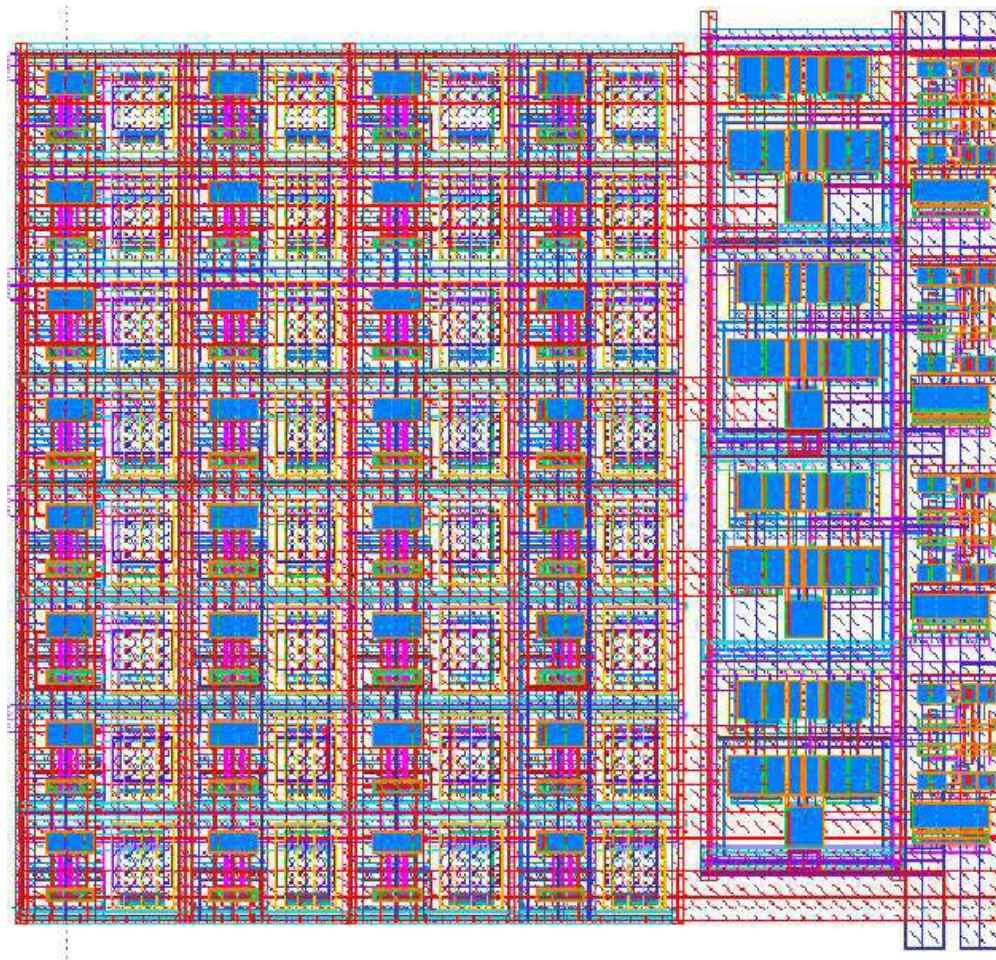
300



도면8

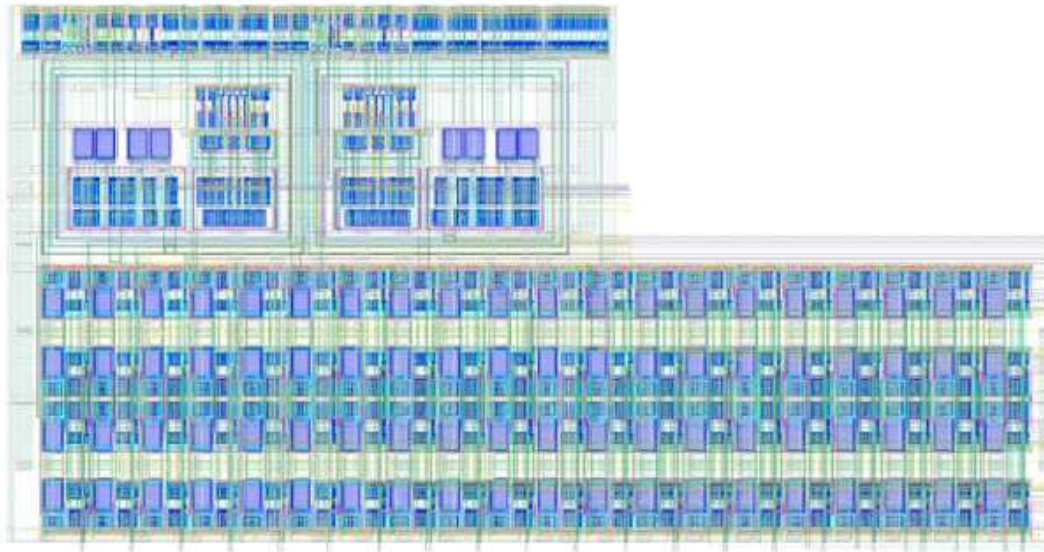
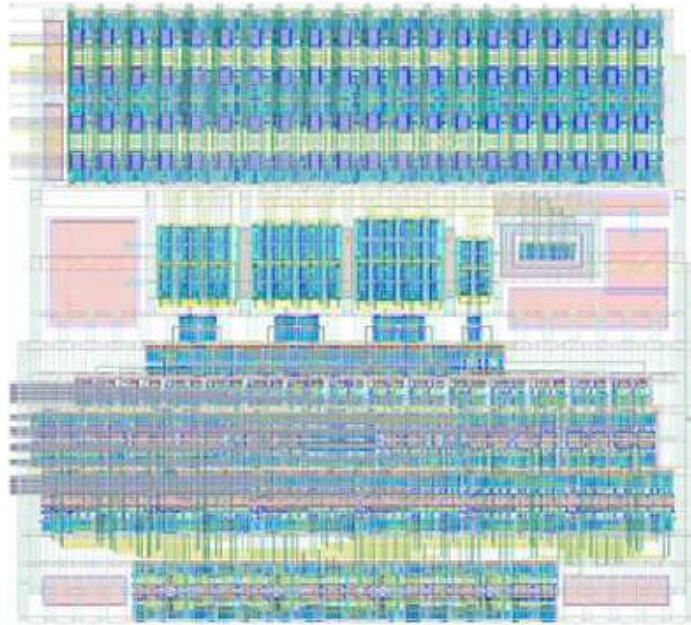


도면9

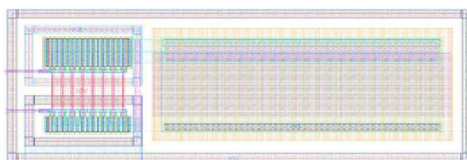




도면10

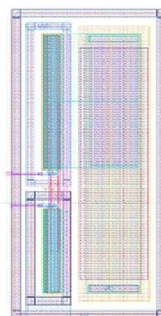


도면11



resistor\_width = **2  $\mu\text{m}$**   
n\_finger = **16**

(a)



(b)

p\_width = **4  $\mu\text{m}$**   
n\_width = **2.5  $\mu\text{m}$**   
...